

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 10 月 16 日 (16.10.2003)

PCT

(10) 国際公開番号
WO 03/085676 A1(51) 国際特許分類⁷: G11C 16/06, G06F 12/00

(21) 国際出願番号: PCT/JP02/11953

(22) 国際出願日: 2002 年 11 月 15 日 (15.11.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
PCT/JP02/03417 2002 年 4 月 5 日 (05.04.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP). 株式会社日立超エル・

エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町 5 丁目 2 番 1 号 Tokyo (JP).

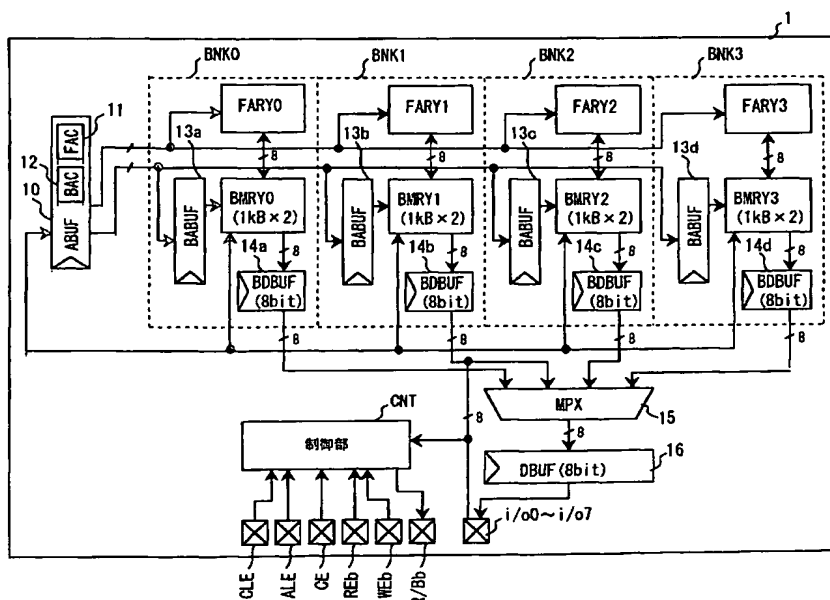
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 高瀬 賢順 (TAKASE, Yoshinori) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目 16 番地の 3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 吉田 敬一 (YOSHIDA, Keiichi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目 16 番地の 3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 堀井 崇史 (HORII, Takashi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目 16 番地の 3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 野副 敦史 (NOZOE, Atsushi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目 16 番地の 3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 田村 隆之 (TAMURA, Takayuki) [JP/JP]; 〒

[続葉有]

(54) Title: NON-VOLATILE STORAGE DEVICE

(54) 発明の名称: 不揮発性記憶装置



CNT...CONTROL UNIT

(57) Abstract: A non-volatile storage device (1) includes a non-volatile memory unit (MARY0 to MARY3) a buffer unit (BMRY0 to BMRY3), and a control unit (CNT). The control unit can control a first access processing between outside and the buffer unit and a second access processing between the non-volatile memory unit and the buffer unit by receiving respective instructions from outside. Since the control unit can control access to the non-volatile memory unit and the buffer unit according

[続葉有]



187-8522 東京都小平市上水本町5丁目2番1号
株式会社日立超エル・エス・アイ・システムズ内
Tokyo (JP). 藤沢 友之 (FUJISAWA, Tomoyuki) [JP/JP];
〒187-8588 東京都小平市上水本町5丁目2番
1号 株式会社日立製作所 半導体グループ内 Tokyo
(JP). 松原 謙 (MATSUBARA, Ken) [JP/JP]; 〒187-8588
東京都小平市上水本町5丁目2番1号 株式会社
日立製作所 半導体グループ内 Tokyo (JP).

- (74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地
新山城ビル42号 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

to external instructions, it is possible set up the next write data in a the buffer unit in parallel to the erase operation of the non-volatile memory unit and to output storage information temporarily read out into the buffer unit at a high speed like cache memory operation according to an external instruction. This reduces the data transfer overhead for data read out and write in from/to the non-volatile storage device.

(57) 要約: 不揮発性記憶装置(1)は、不揮発性メモリ部(MARY0~MARY3)、バッファ部(BMRY0~BMRY3)、及び制御部(CNT)を有し、前記制御部は、外部と前記バッファ部との間の第1アクセス処理と、前記不揮発性メモリ部と前記バッファ部との間の第2アクセス処理とを、それぞれ別々に外部から指示を受けて制御可能である。前記制御部は、前記不揮発性メモリ部及びバッファ部をそれぞれ外部からの指示に従って独立にアクセス制御可能であるから、不揮発性メモリ部の消去動作に並行してバッファ部に次の書き込みデータをセットアップしたり、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。これによって、不揮発性記憶装置に対するデータ読み出しや書き込みのためのデータ転送のオーバーヘッドが低減する。

明 細 書

不揮発性記憶装置

5 技術分野

本発明は不揮発性メモリ部とそのバッファ部を有する不揮発性記憶装置に関し、例えばマルチバンクを有するフラッシュメモリに適用して有効な技術に関する。

10 背景技術

特開平 1 1 - 8 5 6 0 9 号公報には、不揮発性メモリ部とそのバッファ部を有するフラッシュメモリについて記載がある。これによれば、メモリ部は 8 ビット又は 1 6 ビット単位でしかリード・ライトできないのに対し、ホスト装置とは 5 1 2 バイトのような単数もしくは複数セクタ単位でデータのやり取りを行なう必要があるため、バッファ部を設け、これをキャッシュメモリとして利用する、とある。キャッシュメモリとして利用される前記バッファ部は、フラッシュメモリに対する消去、書き込み、読み出し等のコマンドを実行するときに暗黙的に内部で利用されているに過ぎない。要するに、前記バッファ部は、フラッシュメモリの外部から直接操作の対象とはされていない。これについて本発明者が検討したところ以下の点を見出した。第 1 に、不揮発性メモリ部に対する消去動作ではバッファ部の利用は本来必要ないが、他用途への流用もできない為、消去動作中にオンチップバッファ部を有効に活用できない。また、一旦バッファ部に格納された記憶情報を、不揮発性メモリ部の動作とは独立させて外部に高速に読み出すように、動作させることはできない。これに関連し、特開平 6 - 2 5 9 3 2 0 号公報及び特開平 1 1 -

1 4 9 7 8 8 号公報には不揮発性メモリ部と外部からのデータを保持するバッファ部を備え、バッファ部をキャッシュメモリとして利用できるように制御する不揮発性記憶装置が記載される。しかしながら、マルチバンクを有する不揮発性記憶装置に対しては、アクセス動作の高速化のために、外部とフラッシュメモリとの間のデータ転送のオーバーヘッドを更に低減する余地の残されていることが本発明者によって見出された。

本発明の目的は、不揮発性メモリ部に対する消去動作中にバッファ部を有効に活用できる不揮発性記憶装置を提供することにある。

10 本発明の別の目的は、不揮発性メモリ部から読み出されてバッファ部が保有する記憶情報を、不揮発性メモリ部の動作とは独立させて外部に高速に読み出すことができる不揮発性記憶装置を提供することにある。

本発明の更に別の目的は、外部と不揮発性メモリ部との間のデータ転送のオーバーヘッドを低減することができる不揮発性記憶装置を提供することにある。

15 本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

20 〔1〕《独立アクセス制御》本発明に係る不揮発性記憶装置は、複数のバンク（BNK 0～BNK 3）と制御部（CNT）を有し、前記バンク（BNK 0～BNK 3）は不揮発性メモリ部（MARY 0～FARY 3）とこれに対応するバッファ部（BMRY 0～BMRY 3）を有する。各バンクの不揮発性メモリ部は相互に独立してアクセス動作可能とされる。前記制御部は、外部と前記バッファ部との間の第1アクセス処理の指示（22, 23）と、前記不揮発性メモリ部と前記バッファ部との間の第2アクセス処理の指示（2

1, 24) とを、それぞれ別々に外部から受けて制御可能である。前記第 1 アクセス処理は 1 のバッファ部へのアクセスを含み、前記第 2 アクセス処理は 1 の不揮発性メモリ部へのアクセスと複数の不揮発性メモリ部へのアクセスを含み、どちらのアクセスを行なうかが選択可能とされる。

- 5 上記より、前記制御部は、マルチバンクを有する前記不揮発性メモリ部及びバッファ部をそれぞれ外部からの指示に従って独立にアクセス制御可能であるから、不揮発性メモリ部とバッファ部を並列動作させたり、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。これによって、マルチ
- 10 バンクを有する不揮発性記憶装置に対するデータ読み出しや書き込みのためのデータ転送のオーバーヘッドが低減する。

- 《第 1 アクセス処理》本発明の具体的な態様では、前記第 1 アクセス処理の指示は、外部から入力されるデータを前記バッファ部に書き込む指示又は前記バッファ部から外部にデータを読み出す指示である。前記
- 15 書き込む指示又は読み出す指示は、例えば外部から入力される単数又は複数の制御信号 (C L E, A L E, W E b, R E b) の変化によって与えられる。具体的にはコマンドラッチディスエーブル及びアドレスラッチディスエーブルにおけるライトイネーブル状態で前記書き込む指示を与える。また、コマンドラッチディスエーブル及びアドレスラッチデ
- 20 ィスエーブルにおけるリードイネーブル状態で前記読み出す指示を与える。前記単数又は複数のストロブ信号のような制御信号の状態をコマンドコードとみなすことも可能である。第 1 アクセス処理の指示にストロブ信号とは異なるコマンドコードを採用することも可能である。

- 本発明の具体的な態様では、前記第 2 アクセス処理を行っていることを示すための状態指示情報 (R / B b) を外部に出力する。外部からの
- 25 リードイネーブル又はライトイネーブルの指示タイミングの制御が容

易になる。

《第2アクセス処理》本発明の具体的な態様では、前記第2アクセス処理の指示はアクセスコマンドにより与えられる。前記アクセスコマンドとして、バッファ部からデータを読み出して不揮発性メモリ部に書き込む指示を与える第1アクセスコマンド、不揮発性メモリ部からデータを読み出してバッファ部に書き込む指示を与える第2アクセスコマンド、又は不揮発性メモリ部のデータを消去する指示を与える第3アクセスコマンドを有する。

《複数メモリバンク》本発明の具体的な態様では、前記不揮発性メモリ部とバッファ部を相互に対応させて、それぞれの対応をメモリバンクとして複数組有する。

《アドレスコマンド》このときのアクセスアドレスの指定に、例えばアドレスコマンド(20)を採用する。前記制御部は、外部から供給されるアドレスコマンドを認識可能であり、前記アドレスコマンドは、バッファ部の記憶領域及び不揮発性メモリ部の記憶領域の指定を可能にする。

具体例として、前記アドレスコマンドは、第1指定情報、第2指定情報及び第3指定情報を持つことが可能である。前記第1指定情報は、不揮発性メモリ部を指定すると共に指定された不揮発性メモリ部に対応するバッファ部を暗黙的に指定する。前記第2指定情報は、指定された不揮発性メモリ部におけるアクセス対象アドレスを指定する。前記第3指定情報は、指定されたバッファ部におけるアクセス対象アドレスを指定する。

バッファ部の利用効率という点に着目する。第1アクセス処理ではバッファ部を自由に指定できるが、第2アクセス処理では、不揮発性メモリ部に対応するバッファ部が暗黙的に指定される。この指定を広げるに

は、前記制御部は、特定の第2アクセス処理の指示に応答するとき、前記第1指定情報によるバッファ部の指定を、不揮発性メモリ部とは対応しない別のバッファ部の指定とみなすようにすればよい。

《第1アクセス処理と第2アクセス処理の並列化》本発明の具体的な態様では、前記制御部は、前記第1及び第2アクセス処理の指示状態に応じて、不揮発性メモリ部の第2アクセス処理と当該不揮発性メモリ部に対応されない別のバッファ部の第1アクセス処理とを並行可能である。また、前記制御部は、不揮発性メモリ部の消去処理とバッファ部の第1アクセス処理とを並行可能である。例えば、不揮発性メモリ部の消去動作中に、当該不揮発性メモリ部に対応するバッファ部に、書込みデータの入力を行なう。要するに、不揮発性メモリ部のアクセス動作中、そのバックグラウンドでバッファ部に次に用いるデータ入力を行なう。

《バッファ部の記憶データ維持》アクセス処理の並列化に対する見方を変えれば、前記制御部は、前記バッファ部からデータを読み出して不揮発性メモリ部に書き込む第2アクセス処理の指示に応答する処理を行なった後に、別の第1アクセス処理又は第2アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持する。これにより、バッファ部が保持する記憶情報を不揮発性メモリ部の別の場所にコピーしたり、書き込みエラーに対するリトライ等を行なう場合に、便利である。また、前記制御部は、前記バッファ部からデータを読み出して外部に出力する第1アクセス処理の指示に応答する処理を行なった後に、別の第1アクセス処理又は第2アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持する。これにより、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。

バッファ部に記憶情報を維持させる場合に、不要なデータ削除が可能

なように、前記制御部は、バッファクリアコマンドに応答してバッファ部の記憶情報を初期化する。また、書き込みに際してバッファ部に残っている不要データが誤って書き込みされないようにする為に、前記制御部は、前記第 1 アクセス処理に
5 応答して、外部からの入力データをバッファ部に書き込むとき、書き込み前に前記バッファ部の記憶情報を初期化する。

《バッファ部のリードキャッシュ動作》本発明の具体的な態様では、前記制御部は、第 2 アクセス処理により前記不揮発性メモリ部から読み出されてバッファ部に書き込まれたデータを、外部から指示される複数
10 回の第 1 アクセス処理によりバッファ部から外部へ異なるタイミングで複数回データ転送可能とする。これにより、外部からの制御によりバッファ部をリードキャッシュ動作させることができる。

また、前記制御部は、不揮発性メモリ部からバッファ部にデータを書き込む第 2 アクセス処理が指示されたとき、バッファ部が保有するデータの
15 不揮発性メモリ部上でのアドレスと同じアドレスをアクセス処理対象とする当該第 2 アクセス処理を省略する。これにより、不揮発性記憶装置みずからがアドレス比較を行なってバッファ部をリードキャッシュ動作させることができる。このアドレス比較動作のために、例えば、
20 バッファ部が保有するデータの不揮発性メモリ部上におけるアドレスのアドレス情報を保持するアドレス保持手段と、アドレス保持手段が保持するアドレス情報と第 2 アクセス処理においてデータ読み出し対象とされる不揮発性メモリ部のアドレスのアドレス情報とを比較する比較手段とを有する。

前記制御部による前記バッファ部のリードキャッシュ動作制御は、第
25 2 アクセス処理で前記不揮発性メモリ部からバッファ部に書き込まれたデータを第 1 アクセス処理によりバッファ部から外部へ出力する指

示が与えられたとき、前記第 2 アクセス処理の省略の有無により、第 2 アクセス処理中であることをビジー状態によって示す信号によるビジー状態の期間を相違させる制御と等価である。

5 《バッファ部利用のコピー、リライト》本発明の具体的な態様では、前記制御部は、第 1 アクセス処理により外部からバッファ部に書き込まれたデータを、複数回の第 2 アクセス処理によりバッファ部から不揮発性メモリ部へ複数回書き込み可能とする。これにより、コピーや書き込みリトライ処理を効率化することができる。

10 《書き込みデータのバッファ部上での確定》本発明の具体的な態様では、前記制御部は、複数回の第 1 アクセス処理により外部からバッファ部上で書き換えられたデータを、第 2 アクセス処理によりバッファ部から不揮発性メモリ部へ書き込み可能とする。例えば同一セクタデータ等に対してリード・モディファイ・ライト動作を何回か繰返したりするときに処理効率を向上させる。

15 《2 値モード》本発明の具体的な態様では、前記不揮発性メモリ部は 1 個の記憶素子に 2 ビット以上の多値情報記憶が可能にされ、前記バッファ部は 1 個の記憶素子に 1 ビットの 2 値情報記憶が可能にされる。このとき前記制御部は、前記不揮発性メモリ部の記憶情報を 2 値情報とみなし、多値から 2 値への変換動作を省略する第 3 アクセス処理を制御可能である。これにより、データを外部に読み出すまでの時間が短縮されるので、第 3 アクセス処理による対象を、例えばファイルデータのセクタに対する管理領域データ等とすれば、セクタの有効性や代替の有無等を速く判定することができ、ファイルアクセス等の高速化に寄与する。

25 《自立クロック生成》本発明の具体的な態様では、第 1 アクセス処理に用いる信号経路に、外部からのアドレス情報をラッチするアドレスバッファ、アドレスバッファの出力を入力してメモリバッファ部に供給す

るバッファ部アドレスバッファ、バッファ部から出力されるデータをラッチするバッファ部データバッファ、バッファ部データバッファの出力データをラッチして外部に出力するデータバッファが設けられ、アドレス入力からデータ出力までのパイプライン段数が比較的多く配置された構成に着目する。このとき、前記制御部は、アドレスコマンドを第1
5 ストロープ信号に同期して認識した後、第1アクセス処理において外部へのデータ読み出しを指示する第2ストロープ信号が変化されるまでの間に、自立的にクロックを生成して、バッファ部アドレスバッファのラッチタイミングと、バッファ部データバッファのラッチタイミングを生成する。アドレス入力からデータ出力までのパイプライン段数が比較的
10 多くても対処することができる。

《書換え動作》本発明の具体的な態様では、前記不揮発性メモリ部とバッファ部をそれぞれ対応させて複数組有し、前記不揮発性メモリ部の消去単位は書き込み単位の複数倍であり、それぞれのバッファ部は前記
15 書き込み単位の記憶容量を有するとき、前記制御部は、前記消去単位による記憶情報の書換え動作の指示に対して、書換え対象の不揮発性メモリ部と異なる不揮発性メモリ部のバッファ部を併せて、書換え対象記憶情報の退避領域に用いる。これによって不揮発性メモリ部に対する消去単位が書き込み単位よりも大きい場合であっても書換えを行なう事が
20 できる。

《LSI》本発明の具体的な態様では、不揮発性記憶装置は、1個の半導体チップに形成された、メモリLSI、或は、CPU等のその他の回路モジュールと共に1個の半導体チップに形成されたマイクロコンピュータLSI或はシステムLSIとして構成される。

〔2〕《独立アクセス制御》別の観点による本発明に係る不揮発性記憶装置は、複数のメモリバンク（BNK0～BNK3）と制御部（CNT）を

有し、前記メモリバンクは不揮発性メモリ部（F A R Y 0 ～ F A R Y 3）とバッファ部（B M R Y 0 ～ B M R Y 3）を有する。前記バッファ部及び前記不揮発性メモリ部のアクセス対象領域はアドレスコマンド（2 0）に基づいて指定される。前記制御部は、外部と前記バッファ部との間の第 1 アクセス処理の指示（2 2，2 3）と、前記不揮発性メモリ部と前記バッファ部との間の第 2 アクセス処理の指示（2 1，2 4）とを、それぞれ別々に外部から受けて制御可能にされる。更に制御部は、1 の前記第 2 アクセス処理に対応して 1 の前記第 1 アクセス処理を制御することと、1 の前記第 2 アクセス処理に対応して複数の前記第 1 アクセス処理を制御することが可能である

上記より、前記制御部は、前記不揮発性メモリ部及びバッファ部をそれぞれ外部からの指示に従って独立にアクセス制御可能であるから、不揮発性メモリ部とバッファ部を並列動作させたり、バッファ部に一旦読み出された記憶情報を外部からの指示に従ってキャッシュメモリ動作の如く高速に出力させたりすることが可能になる。

前記制御部は、前記第 1 アクセス処理では、前記アドレスコマンドが指定するメモリバンクのバッファ部を利用させ、第 1 アクセス処理ではバッファ部を自由に指定できるようにする。前記第 2 アクセス処理では、その指示内容に応じて、前記アドレスコマンドが指定するメモリバンクのバッファ部又はそれと異なるメモリバンクのバッファ部を利用させる。

《マルチバンク・リード》本発明の具体的な態様では、前記制御部は、メモリバンク数に応ずる回数を限度にアドレスコマンドが入力される毎にアドレスコマンドで指定される不揮発性メモリ部のアクセス対象領域に対する読み出しセットアップ動作を制御し、第 2 アクセス処理としてリード動作を指示するリードアクセスコマンドが入力されたとき、

前記読み出しセットアップされた不揮発性メモリ部から記憶情報を読み出してバッファ部に書き込む制御を行なう。これにより、マルチバンクに対するリード動作を行なうことができる。

5 《マルチバンク・ライト》本発明の具体的な態様では、前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンド入力と第1アクセス処理の指示による書き込みデータ入力が行われる毎に、アドレスコマンドで指定されるメモリバンクのバッファ部に前記書き込みデータの書き込み動作を制御し、第2アクセス処理として書き込み動作を指示するライトアクセスコマンドが入力されたとき、前記バッファ部が有する書き込みデータを対応するメモリバンクの不揮発性メモリ部に書き込む制御を行なう。これにより、マルチバンクに対するライト動作を行なうことができる。

10 《マルチバンク・イレース》本発明の具体的な態様では、前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンドを入力した後にイレースコマンドを入力することにより、アドレスコマンドで指定されるメモリバンクの不揮発性メモリ部に対して記憶領域の消去動作を制御する。これにより、マルチバンクに対するイレース動作を行なうことができる。

20 〔3〕《独立アクセス制御》更に別の観点による本発明に係る不揮発性記憶装置は、制御部と不揮発性記憶部とバッファ回路とを有し、前記不揮発性記憶部は複数の不揮発性記憶領域に分割され、前記バッファ回路は前記不揮発性記憶領域に対応する複数のバッファ領域に分割される。前記制御部は外部から複数の動作指示コマンドを受け付ける。前記動作指示コマンドには、前記バッファ回路と外部との間でのアクセス動作を指示する第1の動作指示コマンド(22, 23)と、前記バッファ回路と不揮発性記憶部との間でのアクセス動作を指示する第2の動作指示コマ

25

ンド（２１，２４）とがある。前記第１の動作指示コマンドは１の前記バッファ領域へのアクセス動作を指示し、前記第２の動作指示コマンドは１の前記不揮発性記憶領域へのアクセス動作と、複数の前記不揮発性記憶領域へのアクセス動作との何れかを選択して指示することが可能である。

前記制御部は前記動作指示コマンドを受け付けることが可能なコマンド受付状態を有し、前記動作指示コマンドを受け付けてそれぞれの動作指示コマンドに応じた処理を行った後、前記コマンド受付状態となる。

《アドレスコマンド》本発明の具体的な一つの態様では、前記不揮発性記憶部は複数の記憶領域に分割され、前記動作指示コマンドには、前記不揮発性記憶部の一の記憶領域を選択するためのアドレスを指定する第３の動作指示コマンド（２０）があり、前記第２の動作指示コマンドは、前記第３の動作指示コマンドで選択された前記不揮発性記憶部の記憶領域と前記バッファ回路との間でアクセス動作を行なう指示を与える。

《マルチバンク》前記複数の記憶領域に対応して、前記バッファ回路は複数の領域に分割される。このとき、前記制御部は、前記第３の動作指示コマンドで前記不揮発性記憶部の記憶領域を選択すると共に、選択された前記不揮発性記憶部の記憶領域に対応する前記バッファ回路の領域をも選択する。前記第１の動作指示コマンドは、前記第３の動作指示コマンドで選択されたバッファ回路の領域と外部との間でアクセス動作を行なう指示を与える。前記第２の動作指示コマンドは、前記第３の動作指示コマンドで選択されたバッファ回路の領域と前記不揮発性記憶部の記憶領域との間でアクセス動作を行なう指示を与える。

《マルチバンクの並列処理》前記制御部は、前記第２の動作指示コマンドによる前記不揮発性記憶部の一の記憶領域へのアクセス処理のう

ち一部の処理完了に応じて前記コマンド受付状態となり、前記一の記憶領域への全てのアクセス処理が完了する前に、前記第 3 の動作指示コマンドの受付と、前記第 3 の動作指示コマンドで選択されたバッファ回路の領域及び不揮発性記憶部の記憶領域が前記アクセス処理を行っている領域とは異なる領域である場合の前記第 1 又は前記第 2 の動作指示コマンドの受付を可能とする。

《書き込み・読み出し動作指示コマンド》前記第 1 の動作指示コマンドは、例えば、前記バッファ回路へのデータの書き込みを指示する第 1 書き込み動作コマンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドとを含む。前記第 2 の動作指示コマンドは、例えば、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不揮発性記憶部から前記バッファ回路へデータの読み出しを指示する第 2 読み出し動作コマンドとを含む。

《消去動作指示コマンド》前記第 1 の動作指示コマンドには、更に前記バッファ回路に書き込まれているデータの消去を指示する第 1 消去動作コマンドを含む。前記第 2 の動作指示コマンドには、更に前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドを含む。

《消去に並行するコマンド受け》前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 消去動作コマンドを受け付け、前記第 1 記憶領域に書き込まれているデータの消去を開始しデータの消去が完了する前において、前記不揮発性記憶部の第 2 記憶領域を指定する前記第 3 の動作指示コマンドと、前記第 1 の動作指示コマンド又は前記第 2 の動作指示コマンドの受付を可能とする。

《書き込みデータのバッファ回路上での確定》前記不揮発性記憶部の

第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、前記不揮発性記憶部から前記バッファ回路へデータの読み出しが完了した後において、少なくとも 1 回以上の前記第 1 の動作指示コマンドを受け付け、更に前記第 2 書き込みコマンドの受付動作が可能である。

《並列処理》前記第 2 読み出しコマンドを受け付けた後、前記第 2 書き込みコマンドの受付前において、前記不揮発性記憶部の第 2 記憶領域を指定する前記第 3 の動作指示コマンドの受付と少なくとも 1 回以上の前記第 1 の動作指示コマンドまたは前記第 2 の動作指示コマンドの受け付けを行った後、前記第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付動作が可能である。

《書き込みデータのバッファ回路上での確定》前記不揮発性記憶部の第 1 記憶領域を指定する前記第 3 の動作指示コマンドの受付後、少なくとも 1 回以上の前記第 1 書き込みコマンドを受け付けた後、前記第 2 書き込みコマンドの受付動作が可能である。少なくとも 1 回の前記第 1 書き込みコマンドを受け付けた後、1 回以上の前記第 1 の動作指示コマンドの受付動作が可能である。少なくとも 1 回の前記書き込みコマンドを受け付けた後、1 回以上の前記第 2 書き込みコマンドの受付動作が可能である。

《バッファ回路のキャッシュ動作》前記不揮発性記憶部の第 1 記憶領域に含まれる第 1 アドレスを指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、前記第 2 読み出しコマンドでは前記不揮発性記憶部から前記バッファ回路へ、前記第 3 の動作指示コマンドで指定されたアドレスから第 1 データ量のデータの読み出しを行った後、前記不揮発性記憶部の第 1 記憶領域に含まれかつ前記第 1 アドレスから第 1 データ量の範囲に含まれるアドレスを指定する

前記第 3 の動作指示コマンドと前記第 1 の動作指示コマンドとを 1 回以上受け付けることが可能である。

5 《バッファ回路のキャッシュ動作》前記不揮発性記憶部の第 1 記憶領域に含まれる第 1 アドレスを指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、前記第 2 読み出しコマンドでは前記不揮発性記憶部から前記バッファ回路へ、前記第 3 の動作指示コマンドで指定されたアドレスから第 1 データ量のデータの読み出しを行い、さらに、前記不揮発性記憶部の第 1 記憶領域に含まれかつ前記第 1 アドレスから第 1 データ量の範囲に含まれる第 2 アドレスを
10 指定する前記第 3 の動作指示コマンドの受け付けと前記第 2 の読み出しコマンドを受け付けた場合、前記第 2 の読み出しコマンドの処理では前記不揮発性記憶部から前記バッファ回路への読み出し動作は行わない。

《バッファ回路の記憶情報保持》前記第 2 の書き込みコマンドの完了では前記バッファ回路に書き込まれているデータの消去は行わず、前記
15 第 1 消去動作コマンドにより前記バッファ回路に書き込まれているデータの消去を行なう。

《非優先対応バッファ回路の利用》前記複数の記憶領域に対応して、前記バッファ回路は複数の領域に分割され、第 1 の記憶領域に優先的に対応するバッファ回路の第 1 の領域と、第 2 の記憶領域に優先的に対応
20 するバッファ回路の第 2 の領域とを有する。前記バッファ回路の第 1 の領域は前記第 2 の記憶領域との間でもアクセス動作可能とされる。前記バッファ回路の第 2 の領域は前記第 1 の記憶領域との間でもアクセス動作可能とされる。

《非優先対応バッファ回路の利用》前記第 1 の動作指示コマンドは、
25 前記バッファ回路の第 1 の領域と外部との間でアクセス動作させて、前記バッファ回路へのデータの書き込みを指示する第 1 書き込み動作コ

- マンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドと、前記バッファ回路に書き込まれているデータの消去を指示する第 1 消去動作コマンドとを含む。前記第 2 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択されたバッファ回路の領域と前記不揮発性記憶部の記憶領域との間でアクセス動作させて、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不揮発性記憶部から前記バッファ回路へのデータの読み出しを指示する第 2 読み出し動作コマンドと、前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドとを含む。前記第 2 書き込み動作コマンドは、前記選択されたバッファ回路の領域に優先的に対応する記憶領域へのデータの書き込みを指示する主第 2 書き込み動作コマンドと、前記選択されたバッファ回路の領域に優先的に対応する記憶領域でない記憶領域へのデータの書き込みを指示する従第 2 書き込み動作コマンドとを有する。前記第 2 読み出し動作コマンドは、前記選択されたバッファ回路の領域に優先的に対応する記憶領域からのデータの読み出しを指示する主第 2 読み出し動作コマンドと、前記選択されたバッファ回路の領域に優先的に対応する記憶領域でない記憶領域からのデータの読み出しを指示する従第 2 読み出し動作コマンドとを有する。
- 《書換え動作》前記第 2 読み出しコマンド又は前記第 2 書き込みコマンドでは第 1 データ量単位に一度にデータの読み出し又は書き込みが行われる。記第 2 消去コマンドでは第 1 データ量よりも多い第 2 データ量単位に一度にデータの消去が行われる。前記第 3 の動作指示コマンドで第 1 アドレスを指定し、前記第 2 消去コマンドを指示する場合、前記第 1 アドレスから前記第 1 データ量のアドレス範囲に含まれる第 1 データと、前記第 1 アドレスから前記第 1 データ量のアドレス範囲に含ま

れない第2アドレスからの第2データとのうち、前記第1データは前記選択されたバッファ回路の領域に優先的に対応する記憶領域への書き込みと、前記第2データは前記選択されたバッファ回路の領域に優先的に対応する記憶領域でない記憶領域への書き込みとの少なくとも一方が行われる。

〔4〕《独立アクセス制御》更に別の観点による本発明に係る不揮発性記憶装置は、制御部と不揮発性記憶部とを有する。前記不揮発性記憶部は複数の記憶領域を有する。前記記憶領域の数と同数のバッファ回路を有し、それぞれのバッファ回路は外部に接続され、また前記複数の記憶領域のそれぞれと対応付けられ、前記複数のバッファ回路は前記制御部による制御に基づいてそれぞれ独立して外部との間でアクセス可能にされる。1又は複数の前記記憶領域は前記制御部による制御に基づいて、対応付けられたバッファ回路との間でそれぞれ独立してアクセス動作可能にされる。

図面の簡単な説明

第1図は本発明に係る半導体記憶装置の一例であるフラッシュメモリの平面的なレイアウト構成図である。

第2図はフラッシュメモリ1におけるアドレス、データ及びコマンドコードの伝達経路の詳細を例示するブロック図である。

第3図は外部入出力端子i/o0～i/o7とバッファメモリ間におけるデータ転送形態を例示する説明図である。

第4図はバッファメモリとフラッシュ間におけるデータ転送形態を例示する説明図である。

第5図はフラッシュメモリにおけるアクセス処理の種別を例示する説明図である。

第 6 図は第 1 アクセス処理及び第 2 アクセス処理の指示形態の概略を例示する説明図である。

第 7 図はフラッシュメモリにおけるコマンド体系の具体例を示す説明図である。

5 第 8 図はバッファクリアコマンドによるクリア処理の内容を模式的に示す動作説明図である。

第 9 図は 1 ～ 4 ページの任意ページに対する書き込み又は読み出し処理の内容を模式的に示す動作説明図である。

10 第 10 図はフラッシュメモリアレイに対するバッファメモリの優先的な対応関係と非優先的な対応関係を例示する説明図である。

第 11 図は 4 ページ書き込み又は読み出し処理の内容を模式的に示す説明図である。

第 12 図は 2 ～ 8 ページの任意ページに対する消去処理の内容を模式的に示す説明図である。

15 第 13 図は 8 ページ消去処理の内容を模式的に示す説明図である。

第 14 図はダイレクトフラッシュアクセス処理の内容を模式的に示す説明図である。

第 15 図はアドレスコマンドと第 1 及び第 2 のアクセス処理の指示に応答する制御状態を示す状態遷移図である。

20 第 16 図はフラッシュメモリに対する書換え動作を示す説明図である。

第 17 図はメモリバンクの対応バッファメモリ及び非対応メモリバッファをデータ退避に利用する書換え動作を示す説明図である。

第 18 図はフラッシュメモリに対する別の書換え動作を示す説明図である。

25 第 19 図はフラッシュメモリに対するキャッシュ読み出し動作を示す説明図である。

第 20 図はフラッシュメモリに対するキャッシュ読み出し動作のための

ページアドレスヒット及びページアドレスミスヒットの判定をフラッシュメモリが行なう場合の例を示す説明図である。

第 2 1 図はコピー書き込み動作を例示する説明図である。

第 2 2 図は読み出し動作のタイミングチャートである。

5 第 2 3 図はキャッシュ読み出し動作のタイミングチャートである。

第 2 4 図は書き込み動作のタイミングチャートである。

第 2 5 図はコピー書き込み動作のタイミングチャートである。

10 第 2 6 図はキャッシュ読み出し動作のためのページアドレス比較をメモリコントローラが行なう第 1 9 図の処理に対応される動作のタイミングチャートである。

第 2 7 図はキャッシュ読み出し動作のためのページアドレス比較をフラッシュメモリが行なう第 2 0 図の処理に対応される動作場のタイミングチャートである。

15 第 2 8 図はフラッシュメモリにおけるデータ出力系のパイプラインを示す説明図である。

第 2 9 図は第 2 8 図のパイプラインにおける各出力信号波形を例示するタイミングチャートである。

第 3 0 図はバックグラウンドデータインプット動作の概略を例示する説明図である。

20 第 3 1 図はバックグラウンドデータインプットを利用した書き込み動作とそれを利用しない書き込み動作の相違を例示するタイミングチャートである。

第 3 2 図はバックグラウンドデータインプットの更に詳細な概念を例示する説明図である。

25 第 3 3 図はバックグラウンドデータインプット動作を適用した消去及び書き込み動作のタイミングチャートである。

第 3 4 図は第 3 3 図のバックグラウンドデータインプット動作におけるバッファメモリのデータ入力動作を例示する説明図である。

第 3 5 図は第 3 3 図のバックグラウンドデータインプット動作におけるバッファメモリとフラッシュメモリアレイの動作状態を例示する説明図である。

第 3 6 図はマルチバンク消去に並行するバックグラウンドデータインプット動作のタイミングチャートである。

第 3 7 図は第 3 6 図のマルチバンク消去とその後のバックグラウンドデータインプット動作におけるバッファメモリのデータ入力動作を例示する説明図である。

第 3 8 図は第 3 7 図のマルチバンク消去による各メモリバンク B N K 0 ~ B N K 3 における消去ブロックの状態を示す説明図である。

第 3 9 図は書き込み動作時におけるバックグラウンドデータインプット動作の概要を例示する説明図である。

第 4 0 図は第 3 9 図の書き込み動作とバックグラウンドデータインプット動作のタイミングチャートである。

第 4 1 図は書き込みデータがバッファメモリからセンスラッチに転送された状態を外部で検出可能にする一例を示すブロック図である。

発明を実施するための最良の形態

第 1 図には本発明に係る半導体記憶装置の一例であるフラッシュメモリの平面的なレイアウト構成が示される。同図に示されるフラッシュメモリ 1 は、特に制限されないが、公知の M O S 集積回路製造方法によって単結晶シリコンのような 1 個の半導体基板(チップ)に形成される。

フラッシュメモリ 1 は、例えば 4 個のメモリバンク B N K 0 ~ B N K 3 と制御部 C N T を有する。前記メモリバンク B N K 0 ~ B N K 3 は、

不揮発性メモリ部としてのフラッシュメモリアレイ FARY0～FARY3
と、バッファ部としてのバッファメモリ BMRY0～BMRY3とを有する。
一つのフラッシュメモリアレイに対応してバッファメモリは左右に2分割さ
れて配置される。便宜上右側のバッファメモリにはサフィックス (R) を付
5 し、左側のバッファメモリにはサフィックス (L) を付す。

フラッシュメモリ1の外部入出力端子 i/o0～i/o7は、アドレス入
力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。
フラッシュメモリ1は外部制御信号例えばストロブ信号として、コマンド
ラッチイネーブル信号 CLE、アドレスラッチイネーブル信号 ALE、チッ
10 プイネーブル信号 CEb、リードイネーブル信号 REb、ライトイネーブル
信号 WEbを入力し、レディー・ビジー信号 R/Bbを出力する。前記チッ
プイネーブル信号 CEbはフラッシュメモリ1にチップ選択状態を示し、リ
ードイネーブル信号 REbは外部入出力端子 i/o0～i/o7からのリー
ド動作を指示し、ライトイネーブル信号 WEbは外部入出力端子 i/o0～
15 i/o7からのライト動作を指示する。コマンドラッチイネーブル信号 CLE
は外部から外部入出力端子 i/o0～i/o7にコマンドが供給されるこ
とを意味し、アドレスラッチイネーブル信号 ALEは外部から外部入出力端
子 i/o0～i/o7にアドレス信号が供給されることを意味する。前記レ
ディー・ビジー信号 R/Bbはフラッシュメモリアレイ FARY0～FARY
20 Y3の何れかに対して消去、書き込み、または読み出し動作中であること (ビ
ジー状態) をローレベル (L) によって示す。フラッシュメモリアレイ (F
ARY0～FARY3) 毎に対するビジー状態またはレディー状態は後述の
ステータス情報を読み出すことによって外部から認識可能にされている。

前記制御部 CNTは、前記ストロブ信号の状態に応じて外部との信号イ
ンタフェース機能などを制御し、また、入力されたコマンドに従って内部動
25 作を制御する。

前記それぞれのフラッシュメモリアレイ F A R Y 0 ~ F A R Y 3 は、マトリクス配置された多数の不揮発性メモリセルを有する。この不揮発性メモリセルは、特に制限されないが、公知のフローティングゲート型トランジスタ 1 個で 1 個のメモリセルを構成する。例えば不揮発性メモリセルは、ウェル領域に形成されたソース及びドレインと、ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートはワード線に、ドレインはビット線に、ソースはソース線に接続される。第 1 図では 1 個の不揮発性メモリセル M C と 1 本のビット線 G - B L が代表的に図示され、ビット線 G - B L の一端にはスタティックラッチ回路で構成されるセンスラッチ S L が接続される。

第 1 図のフラッシュメモリ 1 では記憶情報の 5 1 2 バイトを 1 セクタと呼ぶ。書き込みおよび読み出しの情報記憶単位は 2 0 4 8 バイト (= 4 セクタ) であり、この単位を 1 ページと呼ぶ。1 0 2 4 バイトを 1 キロバイトとも記す。1 ページはページアドレスで指定される。フラッシュメモリはフィールド素子分離のため、消去の情報記憶単位は書き込み単位の 2 倍 (= 4 0 9 6 バイト) とされ、これを 1 ブロックと呼ぶ。消去モードにおける偶数ページアドレスの指定がブロックの指定とされる。

特に制限されないが、フラッシュメモリ 1 において不揮発性メモリセルは 1 個で 2 ビットの情報記憶を行なう。これに従って、各フラッシュメモリアレイ F A R Y 0 ~ F A R Y 3 において、ワード線 1 本に 2 0 4 8 バイト個の不揮発性メモリセルが接続され、ページアドレス情報は対応するワード線 1 本に接続する偶数番目または奇数番目の 1 0 2 4 個のメモリセルを指定し、ページアドレス情報で指定された 1 0 2 4 個のメモリセルに一対一対応するように 1 0 2 4 バイト個のセンスラッチ S L が並設される。ページアドレス

情報はメモリバンク全体の中でページアドレスを指定し、その最下位ビットはページアドレスの偶数または奇数を指定し、その上位側はワード線を指定し、最上位2ビットはメモリバンクを指定する。ワード線の選択は図示を省略するワード線選択デコーダが行い、偶数ページまたは奇数ページ単位によるビット線の選択は図示を省略する偶奇ビット線セレクタが行い、この偶奇ビット線セレクタで選択された1024バイト本のビット線が1024バイト個のセンスラッチSLに接続される。消去モードでは偶数ページアドレスがブロックアドレス（1ワード線2ページ分アドレス）とみなされる。

前不揮発性メモリセルの記憶データは浮遊ゲートに蓄えられた電荷量に応じてメモリセルの閾値電圧が変化することを利用する。このとき、メモリセルの閾値電圧は記憶データの値に応じて所望の範囲に制限され、その閾値電圧分布をメモリ閾値分布と呼ぶ。例えば、この例でが不揮発性メモリセルは1個で2ビットの情報記憶を行い、記憶情報の“01, 00, 10, 11”データに対応する4種類のメモリ閾値電圧分布が決められている。すなわち、一つのメモリセルの情報記憶状態は、第4閾値電圧（ V_{th4} ）状態としての消去状態（“11”）、第1閾値電圧（ V_{th1} ）状態としての第1の書き込み状態（“10”）、第2閾値電圧（ V_{th2} ）状態としての第2の書き込み状態（“00”）、第3閾値電圧（ V_{th3} ）状態としての第3の書き込み状態（“01”）の中から選ばれる。特に制限されないが、閾値電圧は、 $V_{th4} < V_{th1} < V_{th2} < V_{th3}$ の関係を有する。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態とされる。上記メモリ閾値分布を得るには、消去の後の書き込み動作時にワード線に印加する書き込みベリファイ電圧を相互に異なる3種類の電圧に設定し、これらの3種類の電圧を順次切り替えて、3回に分けて書き込み動作を行なう。それら3回に分けた個々の書き込み動作において、書き込み選択のビット線には0V、非選択のビット線には1Vを印加する。特に制限されないが、ワ

ード線は例えば 1.7 V とされる。前記書き込み高電圧印加時間を長くするに
したがってメモリセルの閾値電圧が上昇される。3 種類の書き込み閾値電圧
制御は、そのような高電圧状態の時間制御、更にはワード線に印加する高電
5 圧のレベル制御によって行なうことができる。ビット線に 0 V を印加するか、
1 V を印加するかは、センスラッチ回路 S L にラッチさせる書き込み制御情
報の論理値で決定される。例えばセンスラッチ回路 S L のラッチデータが論
理値 “1” で書き込み非選択、論理値 “0” で書き込み選択となるように制
御される。書き込み動作時にセンスラッチ S L に “1” または “0” の何れ
をセットするかは、書き込みを行なうべき書き込み閾値電圧状態に応じて制
10 御部 C N T がバッファメモリ上の書き込みデータに従って決定する。ブロッ
ク一括消去時には、選択ワード線が -1.6 V とされ、非選択ワード線が 0 V
とされ、選択ビット線は 2 V とされる。記憶情報の読み出しは、ワード線に
印加するワード線選択レベルとしての電圧を、3 種類設定し、3 種類のワー
ド線選択レベルを順次変更しながら最大 3 回の読出し動作を行い、個々の読
15 み出し動作でメモリセルから読み出される 2 値（1 ビット）の値に基づいて
2 ビットの記憶情報を判定する。

前記フラッシュメモリアレイ F A R Y 0 ~ F A R Y 3 に対する消去、書き
込み及び読み出しの制御は前記制御部 C N T が行なう。

バッファメモリ B M R Y 0 ~ B M R Y 3 は、例えば S R A M（Static
20 Random Access Memory）によって構成され、外部から外部入出力端子 i / o
0 ~ i / o 7 に 2 値で入力される書き込みデータ及び外部入出力端子 i / o
0 ~ i / o 7 から出力する 2 値の読み出しデータを一時的に保存する。メモ
リバンク毎にバッファメモリ B M R Y 0 ~ B M R Y 3 は 2 分割されており、
メモリバンク毎のバッファメモリ B M R Y 0 ~ B M R Y 3 は、対応するそれ
25 ぞれのフラッシュメモリアレイにおける書き込み単位および読み出し単位に
等しい最低限の記憶容量を備える。例えば、フラッシュメモリ 1 の場合、書

き込み情報単位および読み出し情報単位が1ページ(=2Kバイト)であるから、オンチップバッファとしてのそれぞれのバッファメモリBMRY0～BMRY3は2Kバイトの記憶容量を有する。前述の如く、バッファメモリBMRY0～BMRY3は各メモリバンクに1組配置され、同一メモリバンクに配置されたバッファメモリは同一フラッシュメモリアレイに優先的に対応されて利用される。動作モードによっては優先的に対応されないバッファメモリを利用する場合もある。その制御はコマンドとアドレス信号に従って前記制御部CNTが制御する。

フラッシュメモリアレイとバッファメモリとの間のデータ入出力は8ビット単位で行われる。フラッシュメモリアレイFARY0～FARY3において8ビット単位のセンスラッチSLの選択は図示を省略するセンスラッチ選択回路で行なう。バッファメモリBMRY0～BMRY3は8ビット単位でアクセス可能にされる。フラッシュメモリアレイFARY0～FARY3とバッファメモリBMRY0～BMRY3との間のデータ転送、並びにバッファメモリBMRY0～BMRY3に対するアクセス制御は、外部から与えられるコマンド及びアクセスアドレス情報などに基づいて制御部CNTが行なう。

第2図にはフラッシュメモリ1におけるアドレス、データ及びコマンドコードの伝達経路の詳細が例示される。外部入出力端子i/o0～i/o7に供給されたコマンドコードは制御部CNTに入力される。

外部入出力端子i/o0～i/o7に与えられた外部アドレス情報はアドレスバッファ(ABUF)10に供給される。アドレスバッファ10に入力されたアドレス情報は、メモリバンクBNK0～BNK3全体の中でフラッシュメモリアレイのページアドレスを指定するページアドレス情報、バッファメモリのアクセス先頭アドレス情報(バッファ先頭カラムアドレス情報)などを含み、それらのアドレス情報は図示を省略するアドレスラッチ回路に

ラッチされる。アドレスバッファはフラッシュアドレスカウンタ (FAC) 11、バッファアドレスカウンタ (BAC) 12を有する。フラッシュアドレスカウンタ 11は1ページ分のセンスラッチを順次バイト単位で選択するためのアドレス信号を生成するアドレスカウンタである。バッファアドレスカウンタ 12はバッファ先頭カラムアドレス情報 (単にカラムアドレスとも称する) などがプリセットされ、プリセット値又はカウンタリセット値を初期値として順次8ビット単位でバッファメモリのアクセスアドレス信号を生成するアドレスカウンタである。フラッシュメモリアレイ FARY0~FARY3には前記ページアドレス情報及びフラッシュアドレスカウンタ 11の出力が供給される。バッファアドレスカウンタ 12の出力はバッファメモリ BMRY0~BMRY3のアドレスバッファ (バッファ部アドレスバッファ=BABUF) 13a~13dに供給される。そこからバッファメモリ BMRY0~BMRY3に供給される。

外部入出力端子 i/o0~i/o7に与えられた書き込みデータはバッファメモリ BMRY0~BMRY3の内の1つのバッファメモリ BMRYi (i=0~3) に与えられる。バッファメモリ BMRYiから読み出されるデータは対応するバッファメモリ BMRYiのデータバッファ (バッファ部データバッファ=BDBUF) 14a~14d、データマルチプレクサ (MPX) 15、データバッファ (DBUF) 16を経由して外部入出力端子 i/o0~i/o7から外部に出力される。

バッファメモリ BMRY~BMRY3とフラッシュメモリアレイ FARY0~FARY3との間では8ビット単位でデータの入出力が行われる。

第3図には外部入出力端子 i/o0~i/o7とバッファメモリ BMRY (i=0~3)間におけるデータ転送形態が例示される。フラッシュメモリ 1に対する読み出し動作において、ページアドレス情報に基づいて選択されたフラッシュメモリアレイ FARYiの記憶情報を一時的に保持するバッファ

メモリ $BMRY_i$ は外部入出力端子 $i/o0 \sim i/o7$ とインタフェースされ、特に、ページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY_i$ のうちの左側のバッファメモリ $BMRY_i (L)$ は外部入出力端子 $i/o0 \sim i/o3$ とインタフェースされ、ページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY_i$ のうち右側のバッファメモリ $BMRY_i (R)$ は外部入出力端子 $i/o4 \sim i/o7$ とインタフェースされて、記憶情報が外部に読み出される。また、フラッシュメモリ 1 に対する書き込み動作において、外部入出力端子 $i/o0 \sim i/o3$ に与えられる書き込みデータはページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY_i$ のうちの左側のバッファメモリ $BMRY_i (L)$ に一時的に保持され、外部入出力端子 $i/o4 \sim i/o7$ に与えられる書き込みデータはページアドレス情報等に基づいて選択された一つのバッファメモリ $BMRY_i$ のうちの右側のバッファメモリ $BMRY_i (R)$ に一時的に保持される。

第 4 図にはバッファメモリ $BMRY_i$ とフラッシュ $FARY_i$ との間におけるデータ転送形態が例示される。フラッシュメモリ 1 に対するアクセス動作において、メモリバンク BNK_i を指定した書き込み動作において、ページアドレス情報等に基づいて指定されたバッファメモリ $BMRY_i$ が一時的に保持する書き込み情報がページアドレス情報等に基づいて指定されたフラッシュメモリアレイ $FARY_i$ に書き込まれる。また、フラッシュメモリ 1 に対するアクセス動作において、メモリバンク BNK_i を指定した読み出し動作において、ページアドレス情報等に基づいて指定されたフラッシュメモリアレイ $FARY_i$ からの記憶情報がページアドレス情報に基づいて指定されたバッファメモリ $BMRY_i$ に一時的に保持される。

第 5 図にはフラッシュメモリ 1 におけるアクセス処理の種別が例示される。 $FARY$ はフラッシュメモリアレイ $FARY_0 \sim FARY_3$ を総称する。B

M R YはバッファメモリB M R Y 0～B M R Y 3を総称する。M C N Tはフラッシュメモリ1の外部に配置されるフラッシュメモリコントローラを意味する。前記制御部C N Tは、外部と前記バッファメモリB M R Yとの間の第1アクセス処理と、前記フラッシュメモリアレイF A R Yと前記バッファメモリB M R Yとの間の第2アクセス処理とを、それぞれ別々に外部から指示を受けて制御可能である。第1アクセス処理は、外部からバッファメモリB M R Yにデータを書き込むバッファプログラム処理B P G Mと、バッファメモリB M R Yから外部にデータを読み出すバッファリード処理B R Dとに大別される。第2アクセス処理はバッファメモリB M R Yの記憶情報をフラッシュメモリアレイF A R Yの所定エリアに書き込むフラッシュプログラム処理F P G Mと、フラッシュメモリアレイF A R Yの所定エリアを消去するフラッシュイレース処理F E R Sと、フラッシュメモリアレイF A R Yの所定エリアの記憶情報を読み出してバッファメモリB M R Yに保持させるフラッシュリード処理F R Dとに大別される。その他に、制御部C N Tは第3アクセス処理として、フラッシュメモリアレイの所定エリアの記憶情報を2値情報として外部に直接読み出すダイレクトフラッシュアクセス処理D F Aを制御する。ここで、直接とは、記憶情報に対する2値と4値との間の変換処理を経ないことを意味する。

第6図には第1アクセス処理及び第2アクセス処理の指示形態の概略が例示される。

同図において20はアドレスコマンドを総称し、C o m 1はアドレスコマンドコード等の第1コマンドコードを総称し、C Aは前記バッファ先頭コラムアドレス情報を意味し、P Aはページアドレス情報を意味する。21は前記第2アクセス処理としての前記フラッシュリード処理を指示するアクセスコマンドを総称する。C o m 2はアクセスコマンド等を構成する第2コマンドコードを意味する。第6図のA欄において22は第1アクセス処理として

の前記バッファリード処理B R Dの指示を示す。バッファリード処理B R Dの指示は、例えばコマンドラッチディスエーブル（C L E = L）及びアドレスラッチディスエーブル（A L E = L）状態におけるリードイネーブル状態（R E b = L）で与えられる。前記アクセスコマンド2 1で指示されるフラッシュリード処理F R Dの対象とされる記憶情報がページアドレス情報で指定されてフラッシュメモリアレイF A R Y iからバッファメモリB M R Y iに転送完了される状態は、フラッシュメモリ1の外部にレディー・ビジー信号R / B bの第1状態であるレディー状態（R / B b = L）で指示される。バッファリード処理B R Dの指示2 2はレディー・ビジー信号R / B bのレディー状態を待つ外部から与えられる。バッファリード処理B R Dの指示2 2が与えられると、前記バッファ先頭カラムアドレス情報に基づいて指定されたデータがリードイネーブル信号R E bのクロック変化に同期してバッファメモリB M R Y iから外部に出力される。出力データはD o u tとして図示される。

第6図のB欄において2 3は、第1アクセス処理としての前記バッファプログラム処理B P G Mの指示を示す。バッファプログラム処理B P G Mの指示2 3は、例えばコマンドラッチディスエーブル（C L E = L）及びアドレスラッチディスエーブル（A L E = L）状態におけるライトイネーブル状態（W E b = L）で与えられる。バッファプログラム処理B P G Mの指示2 3が与えられると、ページアドレス情報で特定されるメモリバンクB N K iのバッファメモリB M R Y iに前記バッファ先頭カラムアドレス情報を先頭アドレスとして順次ライトイネーブル信号W E bのクロック変化に同期して入力データD i nが格納される。2 4は前記第2アクセス処理としての前記フラッシュプログラム処理F P G Mを指示するアクセスコマンドを総称する。フラッシュプログラム処理F P G Mが指示されると、バッファメモリB M R Y iの記憶情報がページアドレス情報で指定されたフ

ラッシュメモリアレイ F A R Y i のページアドレスに書き込まれる。この書き込み動作が完了されるまで、前記レディー・ビジー信号 R / B b がビジー状態にされる。

第 6 図の C 欄は第 6 図の A 欄における第 2 アクセス処理としての前記フラッシュリード処理 F R D を指示するアクセスコマンド 2 1 が省略され、アドレスコマンド 2 0 の直後に第 1 アクセス処理としての前記バッファリード処理 B R D が指示される (2 2) 。このアクセス処理の指示形態においては、アドレスコマンド 2 0 のページアドレス情報にしたがって決定されたメモリバンク B N K i におけるバッファメモリ B M R Y i から、前記バッファ先頭
5 カラムアドレス情報を先頭アドレスとして順次リードイネーブル信号 R E b のクロック変化に同期してデータ D o u t が出力される。このときには、第 2 アクセス処理 2 1 が指示されていないから、フラッシュメモリアレイ F A R Y i に対するアクセスは行われず、既にバッファメモリ B M R Y i が保持しているデータを読み出す場合には A 欄のようにフラッシュメモリアレイ
10 F A R Y i からバッファメモリ B M R Y i へのデータ転送が完了するまでのビジー状態を生じないので、リードすべきデータの外部出力動作タイミングが早くなる。

第 6 図の D 欄は第 6 図の B 欄における第 1 アクセス処理としての前記バッファプログラム処理 B P G M の指示 2 3 が省略され、アドレスコマンドの直
20 後に第 2 アクセス処理としての前記フラッシュプログラム処理 F P G M の指示 2 4 が与えられる。このアクセス処理の指示形態においては、アドレスコマンド 2 0 のページアドレス情報にしたがって決定されたメモリバンク B N K i におけるバッファメモリ B M R Y i の記憶情報が、ページアドレス情報で指定されるフラッシュメモリアレイ F A R Y i のページに書き込まれる。

このときには、第 1 アクセス処理 2 3 が指示されていないから、外部からバッファメモリ B M R Y i へ書き込みデータの供給を受ける必要はない。既に
25

バッファメモリBMR Y iが保持しているデータをフラッシュメモリアレイFAR Y iに書き込む場合、B欄のような外部からの書き込みデータの転送を受ける必要がないので、フラッシュメモリアレイFAR Y iに対する書き込み完了までの期間を短縮することができる。

- 5 第7図にはフラッシュメモリ1におけるコマンド体系の具体例が示される。Com 1の欄にはアドレスコマンドコード等が例示され、Com 2の欄にはアクセスコマンドコード等が例示される。フラッシュメモリ1ではバッファメモリBMR Y iに対するクリアは明示的に行なう。第6図のC欄及びD欄で説明した処理を可能にするには有意のデータがバッファメモリBMR Y iに残っていなければならない。これを保証するためである。例えば、No.
- 10 22のバッファクリアコマンドを実行することにより、全てのバッファメモリBMR Y 0～BMR Y 3の記憶情報をクリアする。このバッファクリアコマンドにおけるCom 1のコマンドコード“FEH”がバッファクリアの動作指示を与える。第8図には前記バッファクリアコマンドによるクリア処理
- 15 の内容が模式的に示される。

- 第7図においてCom 1にアドレスコマンドコード“80H”を伴うときはページアドレス情報PAに基づいて決定されるバッファメモリに対して予めクリアを処理を行ってからデータ転送処理に移る。但し、80Hを先頭とするアドレスコマンドが連続するときは第1回目だけクリア処理を伴う。
- 20 アドレスコマンドコードの“00H”を伴うときはクリア処理は行われない。

- 第7図において、フラッシュメモリアレイに対する基本的な書き込みのコマンドコードは“10H”、“16H”とされ、フラッシュメモリアレイに対する基本的な読み出しのコマンドコードは“30H”とされる。それらコマンドコードによる書き込み又は読み出しは1～4ページの範囲で任意とされる。複数ページの書き込み又は読み出しに必要なページアドレス情報などは“00H”や“80H”を先頭とするアドレスコマンドを複数回繰り返す
- 25

ばよい。複数ページの書き込みに必要な書き込みデータは例えばページアドレス情報を入力する毎に第1アクセス処理の指示に従って入力すればよい。フラッシュメモリアレイ $FARY_i$ からバッファメモリ $BMRY_i$ に転送された記憶情報の外部読み出しは前述の第1アクセス処理の指示に従って行な

5 えばよいが、複数ページの記憶情報を複数のバッファメモリ $BMRY_i$ から順次読み出しするときには、第7図のコマンドNo. 2及び3に例示されるランダムアクセスコマンドを利用して、バッファメモリの任意カラムアドレスを起点にデータの外部読み出しを行なうことも可能である。起点となる任意カラムアドレスは前記CAで指定され、指定されたバッファ先頭カラムア

10 ドレス情報は第2図のバッファアドレスカウンタ12にプリセットされて順次更新される。第9図には前記1～4ページの任意ページに対する書き込み又は読み出し処理の内容が模式的に示される。

書き込みや読み出し処理において、バッファメモリは同一バンクのフラッシュメモリアレイと優先的に対応される。即ち、優先的な対応関係では、ページアドレス情報でメモリバンク BNK_i が指定されると、その指定は同一

15 バンクのフラッシュメモリアレイ $FARY_i$ とバッファメモリ $BMRY_i$ の指定とみなされる。この優先的な対応関係か否かは、特に制限されないが、アクセスコマンドのコマンドコードで決定される。第7図において、Com 2のアクセスコマンドコード“31H”、“12H”、“17H”の場合に

20 非優先的な対応関係が選ばれ、その他では優先的な対応関係が選ばれる。非優先的な対応関係においてもフラッシュメモリアレイ $FARY_0 \sim FARY_3$ とバッファメモリ $BMRY_0 \sim BMRY_3$ との対応関係は予め決められている。すなわち、フラッシュメモリアレイ $FARY_0$, $FARY_1$, $FARY_2$, $FARY_3$ は、バッファメモリ $BMRY_2$, $BMRY_3$, $BMRY_0$,

25 $BMRY_1$ に非優先対応される。第10図にはフラッシュメモリアレイに対するバッファメモリの優先的な対応関係と非優先的な対応関係が例示される。

尚、特に図示はしないが、フラッシュメモリアレイに対する優先対応関係にあるバッファメモリの接続と、非優先対応関係にあるバッファメモリの接続とは、相互の接続を排他的に切換える切換えスイッチにより選択可能になっている。

- 5 フラッシュメモリアレイに対する書き込み又は読み出し動作では特に4ページ指定の動作に対して専用のアクセスコマンドが用意される。4ページ書き込みのアクセスコマンドコードは“13H”、“18H”であり、4ページ読み出しのアクセスコマンドコードは“30H”である。第11図には前記4ページ書き込み又は読み出し処理の内容が模式的に示される。
- 10 第7図において、フラッシュメモリアレイに対する消去の基本的なコマンドコードは“D0H”とされる。2ページ単位で最大8ページまで並列消去を指示することができる。そのコマンドコードによる消去は2～8ページの範囲で任意とされる。複数ページの消去に必要なページアドレス情報などは“60H”を先頭とするアドレスコマンドを複数回繰返せばよい。第12
- 15 図には前記2～8ページの任意ページに対する消去処理の内容が模式的に示される。
- フラッシュメモリアレイに対する消去動作では特に8ページ指定の動作に対して専用のアクセスコマンドが用意される。8ページ消去のアクセスコマンドコードは“D1H”である。第13図には前記8ページ消去処理の内容
- 20 が模式的に示される。
- 第7図においてコマンドNo. 20はダイレクトフラッシュアクセスコマンド（2値読み出しコマンド）であり、1個のメモリセルに記憶されている2ビットの記憶情報を1ビットの記憶情報として読み出す。第14図にはダイレクトフラッシュアクセス処理の内容が模式的に示される。
- 25 フラッシュメモリ1はフラッシュメモリアレイFARY_i毎のステータス情報をステータスレジスタに有し、第7図のCom1のコマンドコード7*

H (70H~76H) によってステータス情報を外部に読み出すことができ得る。要するに、フラッシュメモリアレイ F A R Y i 毎のレディー状態とビジー状態、更に、書き込みパス／フェイルなどの状態を外部で把握することができる。これにより、フラッシュメモリ 1 において、動作されていないメモリバンクに対するアクセス処理の指示、或は消去動作中のメモリバンク B N K i に対する第 1 処理の指示等を容易に行なうことが可能になる。

第 15 図にはアドレスコマンドと第 1 及び第 2 のアクセス処理の指示にตอบสนองする制御の状態遷移図が例示される。その状態遷移制御は前記制御部 C N T の制御内容とされる。第 15 図においてハッチングが付された制御状態はビジー状態になる。

読み出し動作制御を説明する (4 Page Read [30H])。アドレスコマンド (アドレス指定コマンド) コード “00H” を用いて読み出しページのアドレスを指定する。アドレスは C A と P A の順に指定される。次にフラッシュ系読み出しコマンド 30H (31H, 3AH) を用いて、アドレスコマンドで指定されたメモリセルのデータを選択ページに対応するオンチップバッファとしてのバッファメモリ B M R Y i に転送する。転送中のステータスはビジーとされる。フラッシュ系読み出しコマンドの実行が完了された後、リードイネーブル信号 R E b の変化に同期して、バッファメモリ B M R Y i の記憶情報を外部に出力する。複数ページを読み出し対象にする場合にはアドレスコマンド “00H” を繰返せばよい。フラッシュメモリアレイから記憶情報をバッファメモリ B M R Y i に読み出す動作 (Flash→Buffer) を完了した後、リードイネーブル信号 R E b をクロック変化させると、これに同期して、バッファメモリ B M R Y i の記憶情報が先頭から外部に出力される。このリードイネーブル信号 R E b のクロック変化の前に、第 7 図の N o . 2 又は N o . 3 のコマンドコードが投入されると、その C A によって指定される

カラムアドレスを先頭とするデータ出力が可能にされる。

書き込み動作制御について説明する (Page Program [10H])。アドレス指定コマンド “8 0 H” 又は “0 0 H” を用いて書き込むページのアドレスを指定する。アドレスは C A、P A の順に入力される。そして、

5 ライトイネーブル信号 W E b のクロック変化に同期して外部より書き込みデータを選択ページに対応するバッファメモリ B M R Y i に入力する。外部より書き込みデータの inputs が完了したら、フラッシュ系書き込みコマンド 1 0 H 又は 1 2 H 等を用いて、前記アドレスコマンドで指定されたページにバッファメモリ B M R Y i 上の書き込みデータを転送する。転送中のステータスはビジーとされる。書き込み終了後、7 0 H 等のコマンドを用いてステータスコードを確認可能である。

10

書換え動作制御について説明する (Read-Program Back [35H-15H(10H)])。アドレスコマンド “0 0 H” とアクセスコマンド “3 5 H” によりページアドレスのデータがフラッシュメモリアレイ F A R Y i からバッファメモリ B M R Y i に読み出され、この後、バッファメモリ B M R Y i 上で書き換えるデータの C A によるバッファ先頭 C A アドレス情報に従って指定され、指定された C A アドレスのデータがバッファメモリ B M R Y i に入力される。この後、アクセスコマンド “1 5 H”

15

20

によりバッファメモリ B M R Y i のデータがフラッシュメモリアレイ F A R Y i のページアドレスに書き戻される。これによってフラッシュメモリアレイ F A R Y i の任意領域に対する書換えが可能にされる。

消去動作制御について説明する (Block Erase [D0H], 4 Block Erase [D1H])。アドレス指定コマンド 6 0 H を用いて消去するブロックの

25

アドレスを指定する。複数ブロック消去を行なう場合にはその処理を繰返す。アドレスは P A を指定し、チップ内部でブロックアドレスに変換

される。次に、フラッシュ系消去コマンドD 0 H又はD 1 Hを用いて、前記アドレスコマンドで指定されたブロックの消去を行なう。消去中のステータスはビジーとされる。消去が終了したら7 0 H等のコマンドを用いてステータスコードを確認する。またD 0 H等のフラッシュ系消去コマンドの実行中はこれに並行して、利用されていないバッファメモリに対して外部との間でデータの入出力が可能にされる（バックグラウンド・データ・アクセス）。

2 値読み出し動作（ダイレクトフラッシュアクセス）について説明する（Direct Flash Access [3AH]）。バッファメモリのアクセスコマンドコード“3 A H”が指定された場合、1 個のメモリセルに記憶されている2 ビットの記憶情報を1 ビットの記憶情報として読み出す。即ち、ダイレクトフラッシュアクセス対象のメモリセルに対する情報記憶は、読み出しの動作マージンを大きく採ることを考慮して、消去状態又は閾値電圧の最も高い第3 の書き込み状態の2 通りの状態から選択する。読み出し動作では消去状態と第3 の書き込み状態との間の閾値電圧を読み出しワード線電圧とし、それによって読み出された記憶情報を2 値の記憶情報に対する読み出しデータとしてそのまま用いる。

クリアコマンドについて説明する（Buffer Clear）。クリアコマンドコード“F E H”では、全てのバッファメモリB M R Y 0 ~ B M R Y 3を一括でクリアする。特に制限されないが、ここでは、全記憶情報を論理値“0”とすることをクリアと言う。フラッシュメモリアレイF A R Y 0 ~ F A R Y 3において論理値“0”の書き込みデータは書き込み阻止の論理値とされる。バッファメモリB M R Y 0 ~ B M R Y 3のクリアコマンドを用意することにより、1 ページ中の任意小領域の書き込み（＝追加書き込み）が高速化できる。追加書き込みを行なう場合、バッファメモリB M R Y 0 ~ B M R Y 3のクリアコマンドがないと、書き込

みを行わない領域に書き込み禁止を意味するダミーデータ(論理値“0”のパターン)を入力する必要がある。そしてライトイネーブル信号WEbを書き込み単位だけクロック変化させる必要がある。これに対してバッファメモリBMRY0～BMRY3のクリアコマンドがあると、バッファメモリBMRY0～BMRY3をクリアした時点で、バッファメモリBMRY0～BMRY3上には書き込み禁止を意味するダミーデータがセットされるため、書き込み単位のデータサイズに応じてライトイネーブル信号WEbをクロックさせてよい。

次に、前記フラッシュメモリ1のアクセス動作について全体的な説明を行なう。

第16図にはフラッシュメモリに対する書換え動作が示される。右側にデータの流れが示され、左側に動作手順が示される。ここでは消去単位(2ページ=4Kバイト)による書換えを想定し、消去単位に相当する2個のバッファメモリBMRYをオンチップバッファ(4K)と称する。処理①では、メモリセルデータを読み出しコマンド(フラッシュ系)でオンチップバッファ(4K)に転送する。処理②では、メモリセルを消去コマンド(フラッシュ系)で消去する。処理③では、上記処理②の動作と並列して書き込みデータをオンチップバッファ(4K)に上書きする(バッファ系)。処理④では上記処理②及び③が終了した後、引き続きオンチップバッファのデータを書き込みコマンド(フラッシュ系)でメモリセルに転送する。

前記オンチップバッファ(4K)は図1のバッファメモリBMRY0～BMRY3の内の2個のバッファメモリBMRYi, BMRYjに相当する。第17図ではその点を明確化して、フラッシュメモリに対する書換え動作が示される。

第17図において、処理①では、メモリセルデータ(=4Kバイト)

を読み出しコマンド(フラッシュ系)でオンチップバッファBMRY i, BMRY jに転送する。この時、選択メモリバンクの対応バッファメモリ (= 2 Kバイト) BMRY iと併せて、非選択メモリバンクのバッファメモリ (= 2 Kバイト) BMRY jにもデータを退避する。処理②では、メモリセルを消去コマンド(フラッシュ系)で消去する。処理③では、前記処理②の動作と並列して書き込みデータをオンチップバッファメモリBMRY i, BMRY jに上書きする(バッファ系)。処理④では前記処理②及び③が終了した後、引き続きオンチップバッファメモリBMRY i, BMRY jのデータを書き込みコマンド(フラッシュ系)でメモリセルに転送する。

第18図にはフラッシュメモリに対する別の書換え動作が示される。右側にデータの流れが示され、左側に動作手順が示される。ここでは消去単位(2ページ=4 Kバイト)による書換えを想定し、消去単位に相当するバッファメモリBMRYをオンチップバッファ(4 K)と称する。ここでは、バッファメモリ上で必要回数データを書き換えてフラッシュメモリアレイへの書き込みを行なう(=Read-Program Back モード)。即ち、処理①では、メモリセルデータを読み出しコマンド(フラッシュ系)でオンチップバッファBMRYに転送する。処理②では、メモリセルを消去コマンド(フラッシュ系)で消去する。処理③では、前記②の動作と並列して書き込みデータをオンチップバッファBMRYに上書きする(バッファ系)。処理④では、変更された書き込みデータを再度オンチップバッファメモリBMRYで上書きする。バッファ系コマンドはフラッシュ系コマンドに対して10倍近くコマンド実行が高速になるので、バッファ系コマンドの実行だけで済む動作は積極的にバッファ系コマンドだけを利用する。処理④による書き込みは必要な回数だけ何回行なってよい。処理⑤では、チップの電源を落とす、あるいは次のアドレス指定コマンドが入力される

前にオンチップバッファBMRYのデータを書き込みコマンド(フラッシュ系)でメモリセルに転送する。前記①～⑤の動作の間に行なうバッファデータの変更(=バッファデータ書き込み)に対し、回数制限は無い。必要に応じてバッファデータの変更を実施することができる。

- 5 第19図にはフラッシュメモリに対するキャッシュ読み出し動作が示される。右側にデータの流れが示され、左側に動作手順が示される。ここでは読み出しはページ単位(=2Kバイト)で行われ、バッファメモリBMRYiとしてのオンチップバッファはページ単位で読み出しデータを受ける。処理①では、メモリセルデータを読み出しコマンド(フラッシュ系)でオンチップバッファBMRYiに転送する。処理②では、引き続き、リードイネーブル信号REbのクロック変化に同期させてオンチップバッファのデータをi/oから外部に読み出す。処理③では、同じページを連続して読み出す場合、フラッシュ系読み出しコマンドを使用せず、リードイネーブル信号REbのクロック変化に同期させてオンチップバッファBMRYi上のデータをそのままi/oから外部に出力する。この処理はオンチップバッファBMRYi上のデータが書き換えられない限り、何度でも実行できる。この時、アドレスコマンドで指定されるページアドレスが、オンチップバッファBMRYi上のデータのページアドレスに一致(ページアドレスヒット)するか不一致(ページアドレスミスヒット)かの判定は、フラッシュメモリ外部のフラッシュメモリコントローラMCNT側で行なえば、そのような判定結果を得る為のステータスポーリングは不要である。要するに、アクセス要求元であるメモリコントローラそれ自体がページアドレスヒット又はページアドレスミスヒットの状態を認識してアクセス要求を行なうから、フラッシュメモリのデータ出力タイミングがページアドレスヒット又はページアドレスミスヒットに応じて相違する状態をポーリングなどによってメモ
- 10
- 15
- 20
- 25

リメモリコントローラが認識するのを待つまでもない。

第20図にはフラッシュメモリに対するキャッシュ読み出し動作のためのページアドレスヒット及びページアドレスミスヒットの判定をフラッシュメモリが行なう場合の例を示す。右側にはそのためのハードウェア構成が例示され、左側にはその制御手順が例示される。

第2図のアドレスバッファ(ABUF)10に、前後2回のアクセスにおけるそれぞれのページアドレス情報を保持するアドレスラッチ回路30、31を用意する。第1のアドレスラッチ回路31は現在動作中のページアドレス情報を保存し、第2のアドレスラッチ回路31には一つ前に動作したアクセスのページアドレス情報を保存する。処理①では、メモリセルデータを読み出すコマンド(フラッシュ系)が入力されたら、第1のアドレスラッチ回路30の値と第2のアドレスラッチ回路31の値を比較回路32で比較する。比較結果は制御部CNTに与えられる。制御回路CNTはアドレスラッチ回路30、31の値が一致したらフラッシュメモリアレイFARYiに対するデータ読み出し動作を行わずに、レディー・ビジー信号R/Bb(もしくはステータス)をレディー状態に戻して(③)、バッファメモリBMRYiのデータを出力可能になる。引き続き第1アドレスラッチ回路30の値を第2アドレスラッチ回路31にコピーする。

アドレスラッチ回路30、31の値が一致しない場合、フラッシュメモリアレイFARYiのメモリセルデータをオンチップバッファBMRYiに転送する(処理②)。この転送中はビジー状態にされる。引き続き第1アドレスラッチ回路30の値を第2アドレスラッチ回路31にコピーする。

上記比較判定動作中において、外部のフラッシュメモリコントローラFCNTはステータスポーリングを行なう。レディー・ビジー信号R/B

Bbでレディー状態を確認したら、リードイネーブル信号REbをクロック変化させて、オンチップのバッファメモリBMRYiからi/oにデータを出力させる。

第21図にはコピー書き込み動作が例示される。右側にデータの流
れが示され、左側に動作手順が示される。ここでは書き込みはページ単位（＝
2 Kバイト）で行われ、バッファメモリBMR Y iとしてのオンチップバッ
ファはページ単位で書き込みデータをフラッシュメモリアレイFAR Y iに
与える。同図に示される動作は書き込みエラー処理やデータ書込の多重化
等で使用される。処理①では、書き込みデータをオンチップバッファB
MR Y iに書込む（バッファ系コマンド）。処理②では、引き続きオン
チップバッファBMR Y iのデータを書き込みコマンド（フラッシュ系
コマンド）でフラッシュメモリアレイFAR Y iに転送する。処理③で
は、処理②で選択したページとは異なるページに、同じデータを書き込
む場合（要するにコピーする場合）、アドレス指定コマンドでコピー先の
ページアドレスを指定し、再度オンチップバッファBMR Y iのデータ
を書き込みコマンド（フラッシュ系）でメモリセルに転送する。この処理
はオンチップバッファBMR Y i上のデータが書き換えられない限り、
何度でも実行することができる。

次ぎ、前記フラッシュメモリ 1 のアクセス動作タイミングについて全体的な説明を行なう。

第 2 2 図には読み出し動作タイミングが例示される。これは第 6 図の A 欄のコマンド形態の場合に対応され、また、第 1 9 図の処理①及び処理②を経る読み出し動作に対応される。第 2 2 図において Col.Add1 及び Col.Add2 は C A に相当し、Raw.Add1 及び Raw.Add2 は P A に相当する。第 2 2 図における時間 T 1 はフラッシュメモリアレイ F A R Y i からデータを読み出してバッファメモリ B M R Y i に伝達するまでの動

作時間に相当する。

第 2 3 図にはキャッシュ読み出し動作タイミングが例示される。これは第 6 図の C 欄のコマンド形態の場合に対応され、また、第 1 9 図の処理③による読み出し動作に対応される。アドレスコマンドが入力された後、フラッシュメモリアレイ F A R Y i の動作を待つ必要がないから、R / B b はビジー状態にされず、即座に、外部へのデータ出力が可能にされる。

第 2 4 図には書き込み動作タイミングが例示される。これは第 6 図の B 欄のコマンド形態の場合に対応され、また、第 2 1 図の処理①及び処理②による書き込み動作に対応される。第 2 4 図において Col.Add1 及び Col.Add2 は C A に相当し、Raw.Add1 及び Raw.Add2 は P A に相当する。第 2 4 図における時間 T 2 は、バッファメモリ B M R Y i が保持するデータをフラッシュメモリアレイ F A R Y i に書き込む動作時間に相当する。

第 2 5 図にはコピー書き込み動作タイミングが例示される。これは第 6 図の D 欄のコマンド形態の場合に対応され、また、第 2 1 図の処理③による書き込み動作に対応される。アドレスコマンドが入力された後、外部からバッファメモリ B M R Y i に書き込みデータが転送されるのを待つ必要がないから、書き込み動作全体で要する時間が短縮される。

第 2 6 図にはキャッシュ読み出し動作のためのページアドレス比較をフラッシュメモリコントローラ M C N T が行なう場合のタイミングチャートが示され、これは、第 1 9 図の処理による動作に対応される。第 2 6 図において C A 1 , C A 2 は前記 C A に相当する。フラッシュメモリコントローラ M C N T は連続してフラッシュリードアクセスを行なうとき、これからリードアクセスしようとするページアドレスと直前にリードアクセスしたページアドレスとを比較し (S 1 a)、その後、

アドレスコマンドを出力する（S 2 a）。前記 S 1 比較結果が不一致である場合には、その後フラッシュメモリコントローラ MCNT はフラッシュリードアクセスのためのアクセスコマンド（例えば“30H”）を出力し、レディー・ビジー信号 R/B b によるステータスポーリングで

5 レディー状態への変化を待つ（S 3 a）。この間、フラッシュメモリコントローラ MCNT は指定されたページアドレスから記憶情報を読み出して対応バッファメモリ BMRY i に読み出しデータを転送する。フラッシュメモリコントローラ MCNT はレディー状態を検出すると、リードイネーブル信号 RE b のクロック変化に同期させてバッファメモリ

10 BMRY i から前記読み出しデータを外部に出力させる（S 4 a）。前記 S 1 a 比較結果が一致である場合には、前記処理 S 3 a を省略し、直ちに、フラッシュメモリコントローラ MCNT はリードイネーブル信号 RE b のクロック変化に同期させてバッファメモリ BMRY i から前記読み出しデータを外部に出力させる（S 4 a）。直前にフラッシュ

15 リードアクセス処理でアクセス対象ページアドレスの記憶情報が既に対応バッファメモリ BMRY i に保持されているからである。このキャッシュリード処理を行なうときのコマンドは第 7 図の No. 2, No. 3 のアクセスコマンド等であってもよい。

第 27 図にはキャッシュ読み出し動作のためのページアドレス比較

20 をフラッシュメモリが行なう場合のタイミングチャートが示され、これは第 20 図の処理による動作に対応される。第 27 図において CA 1, CA 2 は前記 CA に相当する。フラッシュメモリコントローラ MCNT はフラッシュリードアクセスを行なうとき、アドレス比較を行わず直ちにアドレスコマンドを出力する（S 1 b）。その後フラッシュメモリコ

25 ントローラ MCNT はフラッシュリードアクセスのためのアクセスコマンド（例えば“30H”）を出力し、レディー・ビジー信号 R/B b

によるステータスポーリングでレディー状態への変化を待つ(S 2 b)。
この間、フラッシュメモリは、指定されたリードアクセス対象ページアドレスと直前にリードアクセスしたページアドレスとを比較する。比較結果が不一致の場合には、フラッシュメモリは、指定されたページアドレスから記憶情報を読み出して対応バッファメモリ B M R Y i に読み出しデータを転送してから、レディー・ビジー信号 R / B b でレディー状態を通知する。比較結果が一致の場合には、フラッシュメモリは、直ちにレディー・ビジー信号 R / B b でレディー状態を通知する。すなわち、比較結果の一致により、時間 I T だけステータスポーリングの期間が短縮される。フラッシュメモリコントローラ M C N T はレディー状態を検出すると、リードイネーブル信号 R E b のクロック変化に同期させてバッファメモリ B M R Y i が保有するデータを外部に出力させる(S 3 b)。このキャッシュリード処理を行なうときのコマンドは第 7 図の N o . 2 , N o . 3 のアクセスコマンド等であってもよい。

第 2 8 図にはフラッシュメモリ 1 におけるデータ出力系のパイプラインが示される。第 1 アクセス処理に用いる信号経路に、外部からのアドレス情報をラッチするアドレスバッファ (A B U F) 1 0 、アドレスバッファの出力を入力してバッファメモリ B M R Y i に供給するバッファ部アドレスバッファ (B A B U F) 1 3 m (m = a ~ d) 、バッファメモリ B M R Y i から出力されるデータをラッチするバッファ部データバッファ (B D B U F) 1 4 m 、バッファ部データバッファ 1 4 m の出力データをラッチして外部に出力するデータバッファ (D B U F) 1 6 が配置され、アドレス入力からデータ出力までのパイプライン段数は 4 段である。特に制限されないが、前記アドレスバッファ 1 0 はイネーブル信号 E N のクロック変化に同期してラッチ動作を行なう。前記バッファ部アドレスバッファ 1 3 m 、バッファ部データバッファ 1 4 m 、

及びデータバッファ 16 は、クロック信号 CLK のクロック変化に同期してラッチ動作を行なう。前記イネーブル信号 EN 及びクロック信号 CLK は制御部 CNT が生成する。

第 29 図には第 28 図のパイプラインにおける各出力信号波形が例示される。前記制御部 CNT は、アドレスコマンド CA1, CA2 をアドレスラッチイネーブル状態 (ALE = H) においてライトイネーブル信号 (WEb) のクロック変化に同期して認識すると、ライトイネーブル信号 (WEb) のクロック変化に同期してイネーブル信号 EN をクロック変化させる (Tm1)。また、第 1 アクセス処理においてコマンドラッチディスエーブル状態 (CLE = L) 及びアドレスラッチディスエーブル状態 (ALE = L) で外部へのデータ読み出しを指示するリードイネーブル信号 REb のクロック変化に同期してクロック信号 CLK をクロック変化させる (Tm2)。

前記 Tm1 のクロック変化はアドレスバッファ 10 の最初のラッチ動作を制御して、内部アドレス情報 ADD1 を確定させる。前記 Tm2 のクロック変化はデータバッファ 16 の最初のデータ出力等を確定させる。このとき、前記制御部 CNT は、バッファ部アドレスバッファ 13m 及びバッファ部データバッファ 14m の最初のラッチ動作を制御するためにクロック信号 CLK を自立的に変化させる (Tm3)。すなわち、前記制御部 CNT は、アドレスコマンド CA1, CA2 をアドレスラッチイネーブル状態 (ALE = H) においてライトイネーブル信号 (WEb) のクロック変化に同期して認識した後、第 1 アクセス処理において外部へのデータ読み出しを指示するリードイネーブル信号 REb が変化されるまでの間に、ダミークロックとして、バッファ部アドレスバッファ 13m のラッチタイミングと、バッファ部データバッファ 14m のラッチタイミングを生成する。

これにより、アドレスコマンドによるアクセス対象アドレスがA 1, A 2, A 3…が続くとき、それによりリードデータがD 1, D 2, D 3…のように連続する場合を考えると、最初のアドレス入力においてT m 1のクロック変化でアドレスバッファ1 0の出力A D D 1がA 1に確定し、次のT m 3の最初にクロック変化でバッファ部アドレスバッファ1 3 mの出力A D D 2がA 1に確定すると共に当該確定アドレスa 1でバッファメモリB M R Y iから読み出されるデータd a t a 1がD 1に確定する。T m 3の次のクロック変化でバッファ部データバッファ1 4 mの出力データd a t a 2がD 1に確定する。そして、T m 2の最初のクロック変化でデータバッファ1 6から最初のデータD 1が外部に出力される。以下パイプラインで順次後続データが出力されていく。

上記自立的にクロックを生成することにより、アドレス入力からデータ出力までのパイプライン段数が比較的多くても、最初の部分のパイプライン動作に対処することが可能になる。

次に、バックグラウンドデータインプット動作について説明する。

第30図にはバックグラウンドデータインプット動作の概略が例示される。バックグラウンドデータインプット動作は、フラッシュメモリアレイF A R Y iにおいて選択アドレスのメモリデータを消去している間、次に書き込むデータを外部入出力端子i / o 0 ~ i / o 7からバッファメモリB M R Y iに入力し、消去後の書込み時間を短縮する高速書込みのためのデータ入力動作とされる。

第31図にはバックグラウンドデータインプットを利用した書込み動作とそれを利用しない書込み動作の相違を例示するタイミングチャートが示される。メモリセルの消去と外部入出力端子i / o 0 ~ i / o 7からバッファメモリB M R Y iへの書込みデータ入力とが並列化されるので、その分、フラッシュメモリアレイF A R Y iに対する書込み

時間を短縮することができる。

第 3 2 図にはバックグラウンドデータインプットの更に詳細な概念が例示される。ここでは、4 個のメモリバンク B N K 0 ~ B N K 3 のフラッシュメモリアレイ F A R Y 0 ~ F A R Y 3 に対する一括消去中に、
5 例えば 2 個のバッファメモリ B M R Y 0、B M R Y 2 に書き込みデータを入力する動作が例示される。先ず、マルチバンク消去コマンドが投入されることにより、フォアグラウンドにおいて各フラッシュメモリアレイ F A R Y 0 ~ F A R Y 3 の選択ブロックに対する消去が行なわれる。これに並行してバックグラウンドでは、アドレスコマンドで指定されたバ
10 ッファメモリ B M R Y 0、B M R Y 2 に、順次 8 ビット単位でシリアルに書き込みデータが格納される。消去終了後、フォアグラウンドで、フラッシュメモリアレイ F A R Y 0、F A R Y 2 の選択ページに、バッファメモリ B M R Y 0、B M R Y 2 の書き込みデータが書き込まれる。

第 3 3 図にはバックグラウンドデータインプット動作を適用した消
15 去及び書き込み動作のタイミングチャートが例示される。ここでは、各メモリバンク B N K 0 ~ B N K 3 にわたる連続 4 ブロックに対して、4 バンク一括ブロック消去を行っている間に、次に書き込むデータをバックグラウンドデータインプットする場合を例示する。

先ず、第 1 コマンドコード (C o m 1) 例えば 6 0 H のような消去コ
20 マンド(消去 1 s t Com.)、ページアドレス (Page M)、第 2 コマンドコード (C o m 2) 例えば D 1 H のような連続 4 ブロック消去開始コマンド(消去 2 n d Com.)を投入すると、各メモリバンク B N K 0 ~ B N K 3 にわたる選択ページを含む連続 4 ブロック消去が開始される。消去開始後、レディー／ビジー信号 R / B b はローレベル (L) になり、ビジー
25 状態を示す。

このビジー状態の間に、バッファメモリへのデータインプットを指示

するために、第1コマンドコード (Com1) 例えば80Hのようなアドレスコマンドコード、必要なカラムアドレス (CA1、CA2)、ページアドレス (RA1、RA2)、書き込みデータ (DinN...) という順に外部からコマンド入力を行う。これによってカラムアドレス (CA1、CA2)、ページアドレス (RA1、RA2) に対応するバッファメモリに書き込みデータが格納される。上記コマンド入力を必要回数繰り返すことによって複数のバッファメモリにバックグラウンドデータインプット動作を行なうことができる。

レディー/ビジー信号 R/Bbによって外部に前記消去終了が通知された後、第2コマンド (Com2) 例えば13Hのような書き込みコマンド (書き込み 2nd Com.) が投入されることにより、例えばバッファメモリから対応するフラッシュメモリアレイに対する書き込みが開始される。この時の書き込みページは前記第1コマンドコード (Com1) 例えば80Hのようなアドレスコマンドコードに続くページアドレス (RA1、RA2) で指定されたページとされる。フラッシュメモリアレイに対する書き込みページを変える場合には、第33図に示されるように、13Hのような書き込みコマンド (書き込み 2nd Com.) の前に、例えば80Hのようなアドレスコマンドコード (書き込み 1st Com.)、必要なカラムアドレス (CA1、CA2)、ページアドレス (RA1、RA2) を、必要回数挿入すればよい。

第34図には第33図のバックグラウンドデータインプット動作におけるバッファメモリのデータ入力動作が例示される。同図より明らかなように、連続4ブロック消去開始コマンド (消去 2nd Com.) 投入後の消去動作に並行して、メモリバンク BNK0～BNK3に書き込みデータ (Data In) がシリアルに入力される。

第35図には第33図のバックグラウンドデータインプット動作に

おけるバッファメモリとフラッシュメモリアレイの動作状態が例示される。第 3 5 図の A 欄には各メモリバンクにおいて選択ページを含むブロックに対し連続 4 ブロック消去を開始する状態が示される。第 3 5 図の B 欄には消去中に、フラッシュメモリアレイへの書込みデータをバッファメモリにバックグラウンドデータインプットする状態が示される。②～⑤の動作の順序は任意でよい。第 3 5 図の C 欄には消去動作終了後、書込み動作開始コマンドを投入することにより書き込みが開始される状態が例示される。この例は、消去選択ページと同じページアドレスに書き込みが行なわれる場合を示す。フラッシュメモリアレイに対する書き込みページアドレスは第 3 5 図の D 欄に示されるように任意とすることも可能である。書込み動作開始コマンドを投入する前に、再度アドレスコマンドコードを投入してアドレス指定を行なえばよい。また、第 3 5 図の E 欄に例示されるように、フラッシュメモリアレイに対して非優先関係のバッファメモリを用いる書込み動作を行なってもよい。これは 1 2 H 又は 1 7 H の書き込み開始コマンドを利用すればよい。

第 3 6 図にはマルチバンク消去に並行するバックグラウンドデータインプット動作が例示される。マルチバンク消去は、各バンクで異なるページを選択して消去を行なう動作である。第 1 コマンドコード (Com 1) 例えば 6 0 H のような消去コマンド (消去 1 st Com.) とページアドレスの指定を 4 回繰返した後に、第 2 コマンドコード (Com 2) 例えば D 0 H のような消去開始コマンドを投入すると、各メモリバンク B N K 0 ～ B N K 3 で夫々指定されたページアドレスに対する一括消去が開始される。この消去動作動作に並行して第 3 3 図で説明したのと同様のバックグラウンドデータインプット動作が可能にされる。

第 3 7 には第 3 6 図のマルチバンク消去とその後のバックグラウンドデータインプット動作におけるバッファメモリのデータ入力動作が

例示される。マルチバンク消去においてメモリバンク B N K 0 の消去ページアドレスは pageL、メモリバンク B N K 1 の消去ページアドレスは pageM、メモリバンク B N K 2 の消去ページアドレスは pageN、メモリバンク B N K 3 の消去ページアドレスは pageP とされる。同図より明か

5 のように、4バンク一括ブロック消去開始コマンド(消去 2 nd Com.)投入後の消去動作に並行して、メモリバンク B N K 0 ～ B N K 3 に書込みデータ (Data In) がシリアルに入力される。

第 3 8 図には第 3 7 図のマルチバンク消去による各メモリバンク B N K 0 ～ B N K 3 における消去ブロックが示される。

10 第 3 9 図には書き込み動作時、バッファメモリ内の書き込みデータをセンスラッチに転送した後、選択ページのメモリアレイにデータを書き込んでいる間に、書き込みバンクのバッファ内に次の書き込みデータを入力するバックグラウンドデータインプット動作の概要が例示される。

15 先ず、第 3 9 図の<A>の如く書込みデータが外部データ入出力端子 i / o 0 ～ i / o 7 からバッファメモリ B M R Y i に格納される。次に、に示されるようにバッファメモリ B M R Y i の書込みデータが対応するフラッシュメモリアレイ F A R Y i のセンスラッチ S L にラッチされる。センスラッチ S L にラッチされたデータは<C>の如くメモリセルに書き込み開始される。この書き込みの最中に、<D>に示されるように、バッファメモリ B M R Y i には外部から次の書込みデータの

20 の入力が行なわれる。

第 4 0 図には第 3 9 図の書き込み動作とバックグラウンドデータインプット動作のタイミングチャートが示される。第 1 コマンドコード (C o m 1) 例えば 8 0 H のようなアドレスコマンドコード、必要なカラムアドレス及びページアドレス、書き込みデータ (Data In) という

25 順に外部からコマンド入力を行う。これによってカラムアドレス及びペ

ージアドレスに対応するバッファメモリに書き込みデータが格納される。

この後、第2コマンド (Com 2) 例えば 10 H のような書き込みコマンド (書き込み 2nd Com.) が投入されることにより、例えばバッファメモリから対応するフラッシュメモリアレイに対する書き込みが開始

5 される。この時の書き込みページは前記第1コマンドコード (Com 1) 例えば 80 H のようなアドレスコマンドコードに続くページアドレスで指定されたページとされる。この時、レディー/ビジー信号 R/Bb は最初ローレベルになり、ビジー状態を外部に通知する。フラッシュメモリアレイの内部では、まず書き込みデータがメモリバッファからセンスラッチに取り込まれ、センスラッチに取り込まれた書き込みデータにしたがってメモリセルへの書き込み動作が開始される。このメモリアレイへの書き込み動作中に、第6図のB欄に示されたデータインプットのフローにしたがって書き込みデータが外部から入力されると (Data In)、バッファメモリに当該次の書き込みデータが格納される。この後、前記

10 同様に、第2コマンド (Com 2) 例えば 10 H のような書き込みコマンド (書き込み 2nd Com.) が投入されることにより、例えばバッファメモリから対応するフラッシュメモリアレイに対する書き込みが開始される。第39図及び第40図の動作では、書き込みデータがバッファメモリからセンスラッチに転送された後に、当該バッファメモリに次の書き込みデータが格納開始されるが、そのタイミングは、外部のメモリコントローラがレディー/ビジー信号 R/Bb のビジー状態への変化を検出した後に所定時間経過するのを待つことによって実現することができる。或は、図41に例示されるように、ABUF 10 の FAC 11 のカウントアップ信号 CNTU を制御部 CNT が受けて、信号 BDI をアサートする。信号 BDI のアサートタイミングは、ビジー状態になって

20 書き込みデータがバッファメモリからセンスラッチに転送完了されたタ

25

イミングとなる。外部のメモリコントローラは信号BDIがアサートされた後、フラッシュメモリにデータインプットコマンドにしたがって次の書き込みデータ(Data In)を供給すればよい。

以上説明したフラッシュメモリによれば以下の作用効果を得る。

- 5 〔1〕フラッシュメモリ1に対するアクセス処理の指示若しくはコマンドを、フラッシュ系(=フラッシュメモリアレイ⇔オンチップバッファメモリ間転送)とバッファ系(オンチップバッファメモリ⇔i/o間転送)の2系統に分割する。そして両者を組み合わせて、あるいは単独で、
- 10 フラッシュメモリ1に対するアクセスを可能にする。このようにコマンドを2系統に分割することで、消去動作の様にオンチップのバッファメモリBMRYiを利用しない動作モードでは、外部から並列してオンチップのバッファメモリをアクセス可能になる。また、高速なオンチップ
- 15 バッファメモリ⇔i/o間転送を積極的に利用することで、キャッシュ読み出し等が可能となる。また、書き込み用シリアルクロック(WEb信号)、読み出し様シリアルクロック(REb信号)端子を設け、更にアドレスバッファの値を外部から指定できるアドレス指定コマンド(例えば第7図のNo. 2及びNo. 3のコマン等)を用意することにより、
- 20 スタンバイ中はコマンド入力無くとも外部クロックに同期してアドレスバッファの指すオンチップバッファメモリとi/o間でデータの
- 20 入出力が可能になる。

〔2〕オンチップバッファメモリBMRYi上のデータは、バッファクリアコマンドが入力されるまで保持する。そのためオンチップバッファメモリBMRYi上のデータをユーザが管理することができる。

- 25 〔3〕フラッシュ系の動作モード時、使用されていないオンチップバッファメモリBMRYiに対しては、バッファ系のコマンドを受け付け可能になる。

〔４〕バッファ系コマンドの動作単位をページ単位とするが、ページ内のアドレス（＝ＣＡ）を指定するコマンドを併用することで、ページ内の任意の領域を選択的に転送することもできる。

〔５〕フラッシュ系コマンドの動作単位もページ単位であるが、これによる動作ではページ内の任意の領域を選択的にバッファメモリＢＭＲＹ０～ＢＭＲＹ３間で転送することは実現していない。制御を極端に複雑化しないためであり、バッファ系コマンドでページ内の任意選択が実現されていれば実質的に十分と考えられるからである。

〔６〕セクタ管理情報や記憶情報のＥＣＣデータ等を２値データとしてフラッシュメモリアレイＦＡＲＹ_{*i*}に書込むことで、データを２値⇔４値変換を行わずにフラッシュメモリアレイＦＡＲＹ_{*i*}から記憶情報を_{*i*}／_{*o*}に直接的に転送できるから（ダイレクフラッシュアクセスモード）、メモリコントローラＭＣＮＴによるセクタ管理情報やＥＣＣデータ等を用いる制御処理に即座に移ることができ、ファイルやデータに対するアクセス処理時間の全体的な短縮に寄与することができる。

〔７〕フラッシュメモリチップ１に搭載されているバッファメモリＢＭＲＹ_{*i*}を外部より直接指定できる、アドレス指定コマンド（第７図のＮｏ．２、Ｎｏ．３、Ｎｏ．４のコマンド）を用意するから、バッファメモリＢＭＲＹ_{*i*}のデータは信号ＲＥ_{*b*}、ＷＥ_{*b*}に同期して_{*i*}／_{*o*}⇔バッファメモリ間で転送することができる。

〔８〕書き込み、読み出しモードではアドレス指定コマンドにより選択ページ（＝動作させるページ）のページアドレスをアドレスバッファに入力し、それによってフラッシュメモリアレイのアクセスアドレスが定まると共に、オンチップのバッファメモリのアドレスも一意に定まるため、バッファメモリのアドレス指定を特別に行なう操作は不要である。

〔９〕２個のアドレスラッチ回路３０，３１とアドレス比較回路３２を

用意すると、キャッシュ読み出し動作の制御をフラッシュメモリ自体で行なうことができる。

〔10〕フラッシュメモリアレイ F A R Y i の消去動作中にバッファメモリ部に次の書き込みデータを入力するような動作に代表されるバックグラウンドデータインプットにより、フラッシュメモリアレイ F A R Y i に対するデータの書き換え動作等を更に高速化することができる。

〔11〕以上より、高速書き換え、キャッシュ読み出し、及び高速コピー書き込み等を実現でき、フラッシュメモリチップの利便性を向上させることができる。そのようなフラッシュメモリチップを用いるフラッシュメモリカードの性能を向上させることが可能になる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

例えば、バッファメモリにはバイト単位アクセスを行なう S R A M を用いてページ単位データを直列的に転送するシリアル転送方式を採用しているが、フラッシュメモリアレイとの間ではページ単位データを内部転送可能なパラレル転送方式のデータラッチ回路を用いてもよい。

バッファメモリに対する書き込み及び読み出しのためのシリアルクロックを書き込み用 (W E b) と読み出し用 (R E b) に別々に用意したが、バッファ系制御コマンドを別途用意してもよい。その場合には、シリアルクロックは1つ共通化することができる。

バッファメモリのサイズは1バンク毎にnページ以上(n: 1より大きな自然数)あってもよい。

本発明は4値など多値フラッシュメモリだけではなく、2値フラッシュメモリにも適用可能である。また、多値フラッシュメモリの記憶形式

は記憶情報の値に応じて順次閾値電圧を相違させる場合に限定されず、メモリセルにおいて電荷を保持する場所を局所的に変更して多値で情報記憶を行なう電荷トラップ膜（窒化シリコン膜）を利用するメモリセル構造を採用してもよい。更に不揮発性メモリセルとして高誘電体メモリセル等のその他の記憶形式を採用する事も可能である。

また単数のメモリバンクを有する不揮発性記憶装置にも適用可能である。バッファ部の指定は暗黙的指定に限定されず、アドレスコマンドで積極的指定するようにしてもよい。但し、アドレスコマンドの情報量が増える。

また本発明はアドレス／データ両方がマルチプレクスされてI/O端子に入力されるものだけではなく、アドレスを入力するためのアドレス端子を有するものであっても良い。アドレス端子から入力されたアドレスに従ってバッファメモリへのアクセス又はフラッシュメモリアレイへのアクセスのいずれかを指定するコマンドを有するようにしても良い。この場合バッファメモリ又はフラッシュメモリの何れへのアクセスであるかを指定する制御信号によりアクセスする先を決定するようにしても良い。更にこの場合であってもフラッシュメモリからバッファメモリへのアクセスはページ単位に行い、バッファメモリへのアクセスはバイト単位に行なうようにすることが可能である。

産業上の利用可能性

本発明は、オンチップでバッファメモリを備えるフラッシュメモリチップ、そのフラッシュメモリチップを搭載し得たフラッシュメモリカード、バッファメモリを備えるフラッシュメモリをオンチップの不揮発メモリとして備えマイクロコンピュータ若しくはシステムLSIなどの半導体集積回路などに広く適用することができる。

請 求 の 範 囲

1. 複数のバンクと制御部を有し、

前記バンクは不揮発性メモリ部とこれに対応するバッファ部を有し、
各バンクの不揮発性メモリ部は夫々独立してアクセス動作可能であり、

前記制御部は、外部と前記バッファ部との間の第1アクセス処理と、
前記不揮発性メモリ部と前記バッファ部との間の第2アクセス処理
とを、それぞれ別々に外部から指示を受けて制御可能にされ、

前記第1アクセス処理は1のバッファ部へのアクセスを含み、
前記第2アクセス処理は1の不揮発性メモリ部へのアクセスと複数の
の不揮発性メモリ部へのアクセスを含み、どちらのアクセスを行なう
かが選択可能とされることを特徴とする不揮発性記憶装置

2. 前記第1アクセス処理の指示は、外部から入力されるデータを前記
バッファ部に書き込む指示又は前記バッファ部から外部にデータを
読み出す指示であることを特徴とする請求の範囲第1項記載の不揮
発性記憶装置。3. 前記書き込む指示又は読み出す指示は、外部から入力される単数又
は複数の制御信号の変化によって与えられることを特徴とする請求
の範囲第2項記載の不揮発性記憶装置。4. 第2アクセス処理を行っていることを示すための状態指示情報を外
部に出力可能であることを特徴とする請求の範囲第3項記載の不揮
発性記憶装置。5. 前記第2アクセス処理の指示はアクセスコマンドにより与えられ、
前記アクセスコマンドとして、バッファ部からデータを読み出して不
揮発性メモリ部に書き込む指示を与える第1アクセスコマンド、不揮

発性メモリ部からデータを読み出してバッファ部に書き込む指示を与える第2アクセスコマンド、又は不揮発性メモリ部のデータを消去する指示を与える第3アクセスコマンドを有することを特徴とする請求の範囲第1項記載の不揮発性記憶装置。

5 6. 前記制御部は、外部から供給されるアドレスコマンドを認識可能であり、

前記アドレスコマンドは、バッファ部の記憶領域及び不揮発性メモリ部の記憶領域の指定を可能にすることを特徴とする請求の範囲第1項記載の不揮発性記憶装置。

10 7. 1又は複数の前記アドレスコマンドにより1又は複数の前記バッファ部を指定した後、

前記第2アクセス処理により、前記アドレスコマンドにより指定された1又は複数の前記バッファ部に対応した1又は複数の不揮発性メモリ部へのアクセスを行うことを特徴とする請求の範囲第6項記載の不揮発性記憶装置。

15 8. 前記アドレスコマンドは第1指定情報、第2指定情報及び第3指定情報を持つことが可能であり、

前記第1指定情報は、不揮発性メモリ部を指定すると共に指定された不揮発性メモリ部に対応するバッファ部を暗黙的に指定し、

20 前記第2指定情報は、指定された不揮発性メモリ部のアクセス対象アドレスを指定し、

前記第3指定情報は、指定されたバッファ部のアクセス対象アドレスを指定することを特徴とする請求の範囲第6項記載の不揮発性記憶装置。

25 9. 前記制御部は、特定の第2アクセス処理の指示に応答するとき、前記第1指定情報によるバッファ部の指定を、不揮発性メモリ部とは対

応しない別のバッファ部の指定とみなすことを特徴とする請求の範囲第 8 項記載の不揮発性記憶装置。

5 10. 前記制御部は、不揮発性メモリ部の第 2 アクセス処理と当該不揮発性メモリ部に対応されない別のバッファ部の第 1 アクセス処理とを並行可能であることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

11. 前記制御部は、不揮発性メモリ部の消去処理とバッファ部の第 1 アクセス処理とを並行可能であることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

10 12. 前記制御部は、前記バッファ部からデータを読み出して不揮発性メモリ部に書き込む第 2 アクセス処理の指示に応答する処理を行なった後に、別の第 1 アクセス処理又は第 2 アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持することを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

15 13. 前記制御部は、前記バッファ部からデータを読み出して外部に出力する第 1 アクセス処理の指示に応答する処理を行なった後に、別の第 1 アクセス処理又は第 2 アクセス処理の指示を待つ状態において、前記バッファ部の記憶情報を維持することを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

20 14. 前記制御部は、バッファクリアコマンドに応答してバッファメモリ部の記憶情報を初期化することを特徴とする請求の範囲第 11 項又は第 13 項記載の不揮発性記憶装置。

25 15. 前記制御部は、前記第 1 アクセス処理に応答して、外部からの入力データをバッファ部に書き込むとき、書き込み前に前記バッファ部の記憶情報を初期化することを特徴とする請求の範囲第 12 項又は第 13 項記載の不揮発性記憶装置。

1 6 . 前記制御部は、第 2 アクセス処理により前記不揮発性メモリ部から読み出されてバッファ部に書き込まれたデータを、複数回の第 1 アクセス処理によりバッファ部から外部へ異なるタイミングで複数回データ転送可能とすることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

1 7 . 前記制御部は、不揮発性メモリ部からバッファ部にデータを書き込む第 2 アクセス処理が指示されたとき、バッファ部が保有するデータの不揮発性メモリ部上でのアドレスと同じアドレスをアクセス処理対象とする当該第 2 アクセス処理を省略することを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

1 8 . バッファ部が保有するデータの不揮発性メモリ部上におけるアドレスのアドレス情報を保持するアドレス保持手段と、アドレス保持手段が保持するアドレス情報と第 2 アクセス処理においてデータ読み出し対象とされる不揮発性メモリ部のアドレスのアドレス情報とを比較する比較手段とを有することを特徴とする請求の範囲第 1 7 項記載の不揮発性記憶装置。

1 9 . 前記制御部は、第 2 アクセス処理で前記不揮発性メモリ部からバッファ部に書き込まれたデータを第 1 アクセス処理によりバッファ部から外部へ出力する指示が与えられたとき、前記第 2 アクセス処理の省略の有無により、第 2 アクセス処理中であることをビジー状態によって示す信号によるビジー状態の期間を相違させることを特徴とする請求の範囲第 1 7 項記載の不揮発性記憶装置。

2 0 . 前記制御部は、第 1 アクセス処理により外部からバッファ部に書き込まれたデータを、複数回の第 2 アクセス処理によりバッファ部から不揮発性メモリ部へ複数回書き込み可能とすることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

2 1 . 前記制御部は、複数回の第 1 アクセス処理により外部からバッファ部上で書き換えられたデータを、第 2 アクセス処理によりバッファ部から不揮発性メモリ部へ書き込み可能とすることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

5 2 2 . 前記不揮発性メモリ部は 1 個の記憶素子に 2 ビット以上の多値情報記憶が可能にされ、前記バッファ部は 1 個の記憶素子に 1 ビットの 2 値情報記憶が可能にされることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

10 2 3 . 前記制御部は、前記不揮発性メモリ部の記憶情報を 2 値情報とみなし、多値から 2 値への変換動作を省略する第 3 アクセス処理を制御可能であることを特徴とする請求の範囲第 2 項記載の不揮発性記憶装置。

15 2 4 . 前記第 1 アクセス処理に用いる信号経路に、外部からのアドレス情報をラッチするアドレスバッファ、前記アドレスバッファの出力を入力してバッファ部に供給するバッファ部アドレスバッファ、前記バッファ部から出力されるデータをラッチするバッファ部データバッファ、前記バッファ部データバッファの出力データをラッチして外部に出力するデータバッファが配置され、

20 前記制御部は、アドレスコマンドを第 1 ストロープ信号に同期して認識した後、第 1 アクセス処理において外部へのデータ読み出しを指示する第 2 ストロープ信号が変化されるまでの間に、ダミークロックとして、前記バッファ部アドレスバッファのラッチタイミングと、前記バッファ部データバッファのラッチタイミングを生成することを特徴とする請求の範囲第 5 項記載の不揮発性記憶装置。

25 2 5 . 前記不揮発性メモリ部の消去単位は書き込み単位の複数倍であり、それぞれのバッファ部は前記書き込み単位の記憶容量を有し、

前記制御部は、前記消去単位による記憶情報の書換え動作の指示に対して、書換え対象のバンクのバッファ部及び異なるバンクのバッファ部を併せて、書換え対象記憶情報の退避領域に用いることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

5 26. 1 個の半導体チップに形成されて成ることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

27. その他の回路モジュールと共に 1 個の半導体チップに形成されて成ることを特徴とする請求の範囲第 1 項記載の不揮発性記憶装置。

10 28. 複数のメモリバンクと制御部を有し、前記メモリバンクは不揮発性メモリ部とバッファ部を有し、

前記バッファ部及び前記不揮発性メモリ部のアクセス対象領域はアドレスコマンドに基づいて指定され、

15 前記制御部は、外部と前記バッファ部との間でアクセス動作を行なう第 1 アクセス処理と、前記不揮発性メモリ部と前記バッファ部との間でアクセス動作を行なう第 2 アクセス処理とを、それぞれ別々に外部から指示を受けて制御可能であり、1 の前記第 2 アクセス処理に対応して 1 の前記第 1 アクセス処理を制御することと、1 の前記第 2 アクセス処理に対応して複数の前記第 1 アクセス処理を制御することが可能であることを特徴とする不揮発性記憶装置。

20 29. 前記制御部は、前記第 1 アクセス処理では、前記アドレスコマンドが指定するメモリバンクのバッファ部を利用させ、

前記第 2 アクセス処理では、その指示内容に応じて、前記アドレスコマンドが指定するメモリバンクのバッファ部又はそれと異なるメモリバンクのバッファ部を利用させることを特徴とする請求の範囲第 25 28 項記載の不揮発性記憶装置。

30. 前記制御部は、メモリバンク数に応ずる回数を限度にアドレスコ

マンドが入力される毎にアドレスコマンドで指定される不揮発性メモリ部のアクセス対象領域に対する読み出しセットアップ動作を制御し、第2アクセス処理としてリード動作を指示するリードアクセスコマンドが入力されたとき、前記読み出しセットアップされた不揮発性メモリ部から記憶情報を読み出してバッファ部に書き込む制御を行なうことを特徴とする請求の範囲第28項記載の不揮発性記憶装置。

31. 前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンド入力と第1アクセス処理の指示による書き込みデータ入力が行われる毎に、アドレスコマンドで指定されるメモリバンクのバッファ部に前記書き込みデータの書き込み動作を制御し、第2アクセス処理として書き込み動作を指示するライトアクセスコマンドが入力されたとき、前記バッファ部が有する書き込みデータを対応するメモリバンクの不揮発性メモリ部に書き込む制御を行なうことを特徴とする請求の範囲第28項記載の不揮発性記憶装置。

32. 前記制御部は、メモリバンク数に応ずる回数を限度に連続してアドレスコマンドが入力された後にイレーズコマンドが入力されることにより、アドレスコマンドで指定されるメモリバンクの不揮発性メモリ部に対して記憶領域の消去動作を制御することを特徴とする請求の範囲第28項記載の不揮発性記憶装置。

33. 制御部と不揮発性記憶部とバッファ回路とを有し、
前記不揮発性記憶部は複数の不揮発性記憶領域に分割され、
前記バッファ回路は前記不揮発性記憶領域に対応する複数のバッファ領域に分割され、
前記制御部は外部から複数の動作指示コマンドを受け付け、前記動作指示コマンドには

前記バッファ回路と外部との間でのアクセス動作を指示する第 1 の動作指示コマンドと、

前記バッファ回路と不揮発性記憶部との間でのアクセス動作を指示する第 2 の動作指示コマンドとがあり、

5 前記第 1 の動作指示コマンドは 1 の前記バッファ領域へのアクセス動作を指示し、

前記第 2 の動作指示コマンドは 1 の前記不揮発性記憶領域へのアクセス動作と、複数の前記不揮発性記憶領域へのアクセス動作との何れかを選択可能であることを特徴とする不揮発性記憶装置。

10 3 4 . 前記制御部は前記動作指示コマンドを受け付けることが可能なコマンド受付状態を有し、前記動作指示コマンドを受け付けてそれぞれの動作指示コマンドに応じた処理を行った後、前記コマンド受付状態となることを特徴とする請求の範囲第 3 3 項記載の不揮発性記憶装置。

15 3 5 . 前記動作指示コマンドには、前記一の不揮発性記憶領域を選択するためのアドレスを指定する第 3 の動作指示コマンドがあり、
前記第 2 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択された前記不揮発性記憶領域と前記バッファ回路との間でアクセス動作を行なう指示を与えることを特徴とする請求の範囲第 3 4 項記載
20 の不揮発性記憶装置。

3 6 . 前記制御部は、前記第 3 の動作指示コマンドで前記不揮発性記憶領域を選択すると共に、選択された前記不揮発性記憶領域に対応する前記バッファ領域をも選択し、

前記第 1 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択
25 されたバッファ領域と外部との間でアクセス動作を行なう指示を与え、

前記第 2 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択されたバッファ領域と前記不揮発性記憶領域との間でアクセス動作を行なう指示を与えることを特徴とする請求の範囲第 3 5 項記載の不揮発性記憶装置。

- 5 3 7 . 前記制御部は、前記第 2 の動作指示コマンドによる一の前記不揮発性記憶領域へのアクセス処理のうち一部の処理完了に応じて前記コマンド受付状態となり、
前記一の不揮発性記憶領域への全てのアクセス処理が完了する前に
おいて、
- 10 前記第 3 の動作指示コマンドの受付と、
前記第 3 の動作指示コマンドで選択されたバッファ領域及び不揮発性記憶領域が前記アクセス処理を行っている領域とは異なる領域である場合の前記第 1 又は前記第 2 の動作指示コマンドの受付を可能とすることを特徴とする請求の範囲第 3 6 項記載の不揮発性記憶装置。
- 15 3 8 . 前記第 1 の動作指示コマンドには、前記バッファ回路へのデータの書き込みを指示する第 1 書き込み動作コマンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドとを含み、
- 20 前記第 2 の動作指示コマンドには、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不揮発性記憶部から前記バッファ回路へデータの読み出しを指示する第 2 読み出し動作コマンドとを含むことを特徴とする請求の範囲第 3 7 項記載の不揮発性記憶装置。
- 25 3 9 . 前記第 1 の動作指示コマンドには、更に前記バッファ回路に書き込まれているデータの消去を指示する第 1 消去動作コマンドを含み、

前記第 2 の動作指示コマンドには、更に前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドを含むことを特徴とする請求の範囲第 3 8 項記載の不揮発性記憶装置。

4 0 . 前記不揮発性記憶部の第 1 の不揮発性記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 消去動作コマンドを受け付け、前記第 1 の不揮発性記憶領域に書き込まれているデータの消去を開始しデータの消去が完了する前において、
5 前記不揮発性記憶部の第 2 の不揮発性記憶領域を指定する前記第 3 の動作指示コマンドと、前記第 1 の動作指示コマンド又は前記第 2 の動作指示コマンドとの受付を可能とすることを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

4 1 . 前記不揮発性記憶部の第 1 の不揮発性記憶領域を指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、前記不揮発性記憶部から前記バッファ回路へデータの読み出しが
15 完了した後において、
少なくとも 1 回以上の前記第 1 の動作指示コマンドを受け付け、更に前記第 2 書き込みコマンドの受付動作が可能であることを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

4 2 . 前記第 2 読み出しコマンドを受け付けた後、前記第 2 書込コマンドの受付前において、
20 前記不揮発性記憶部の第 2 の不揮発性記憶領域を指定する前記第 3 の動作指示コマンドの受付と少なくとも 1 回以上の前記第 1 の動作指示コマンド又は前記第 2 の動作指示コマンドの受け付けを行った後、前記第 1 の不揮発性記憶領域を指定する前記第 3 の動作指示コマンドの受付動作が可能であることを特徴とする請求の範囲第 4 1 項記載の不揮発性記憶装置。

4 3 . 前記不揮発性記憶部の第 1 の不揮発性記憶領域を指定する前記第 3 の動作指示コマンドの受付後、少なくとも 1 回以上の前記第 1 書き込みコマンドを受け付けた後、前記第 2 書き込みコマンドの受付動作が可能であることを特徴とする請求の範囲第 3 8 項記載の不揮発性記憶装置。

4 4 . 少なくとも 1 回の前記第 1 書き込みコマンドを受け付けた後、1 回以上の前記第 1 の動作指示コマンドの受付動作が可能であることを特徴とする請求の範囲第 4 3 項記載の不揮発性記憶装置。

4 5 . 少なくとも 1 回の前記書き込みコマンドを受け付けた後、1 回以上の前記第 2 書き込みコマンドの受付動作が可能であることを特徴とする請求の範囲第 4 3 項記載の不揮発性記憶装置。

4 6 . 前記不揮発性記憶部の第 1 の不揮発性記憶領域に含まれる第 1 アドレスを指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、

前記第 2 読み出しコマンドでは前記不揮発性記憶部から前記バッファ回路へ、前記第 3 の動作指示コマンドで指定されたアドレスから第 1 データ量のデータの読み出しを行った後、

前記不揮発性記憶部の第 1 の不揮発性記憶領域に含まれかつ前記第 1 アドレスから第 1 データ量の範囲に含まれるアドレスを指定する前記第 3 の動作指示コマンドと前記第 1 の動作指示コマンドとを 1 回以上受け付けることが可能であることを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

4 7 . 前記不揮発性記憶部の第 1 の不揮発性記憶領域に含まれる第 1 アドレスを指定する前記第 3 の動作指示コマンドの受付後、前記第 2 読み出しコマンドを受け付け、

前記第 2 読み出しコマンドでは前記不揮発性記憶部から前記バッファ

ア回路へ、前記第 3 の動作指示コマンドで指定されたアドレスから第 1 データ量のデータの読み出しを行い、

さらに、前記不揮発性記憶部の第 1 の不揮発性記憶領域に含まれかつ前記第 1 アドレスから第 1 データ量の範囲に含まれる第 2 アドレスを指定する前記第 3 の動作指示コマンドの受付けと前記第 2 の読み出しコマンドを受け付けた場合、

前記第 2 の読み出しコマンドの処理では前記不揮発性記憶部から前記バッファ回路への読み出し動作は行わないことを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

4 8 . 前記第 2 の書き込みコマンドの完了では前記バッファ回路に書き込まれているデータの消去は行わず、前記第 1 消去動作コマンドにより前記バッファ回路に書き込まれているデータの消去を行なうことを特徴とする請求の範囲第 3 9 項記載の不揮発性記憶装置。

4 9 . 第 1 の不揮発性記憶領域に優先的に対応するバッファ回路の第 1 のバッファ領域と、第 2 の不揮発性記憶領域に優先的に対応するバッファ回路の第 2 のバッファ領域とを有し、

前記バッファ回路の第 1 のバッファ領域は前記第 2 の不揮発性記憶領域との間でもアクセス動作可能とされ、

前記バッファ回路の第 2 のバッファ領域は前記第 1 の不揮発性記憶領域との間でもアクセス動作可能とされることを特徴とする請求の範囲第 3 5 項記載の不揮発性記憶装置。

5 0 . 前記第 1 の動作指示コマンドは、前記バッファ回路の第 1 のバッファ領域と外部との間でアクセス動作させて、前記バッファ回路へのデータの書き込みを指示する第 1 書き込み動作コマンドと、前記バッファ回路からデータの読み出しを指示する第 1 読み出し動作コマンドと、前記バッファ回路に書き込まれているデータの消去を指示する

第 1 消去動作コマンドとを含み、

前記第 2 の動作指示コマンドは、前記第 3 の動作指示コマンドで選択されたバッファ回路のバッファ領域と前記不揮発性記憶部の不揮発性記憶領域との間でアクセス動作させて、前記バッファ回路から前記不揮発性記憶部へのデータの書き込みを指示する第 2 書き込み動作コマンドと、前記不揮発性記憶部から前記バッファ回路へのデータの読み出しを指示する第 2 読み出し動作コマンドと、前記不揮発性記憶部に書き込まれているデータの消去を指示する第 2 消去動作コマンドとを含み、

前記第 2 書き込み動作コマンドは、前記選択されたバッファ回路のバッファ領域に優先的に対応する不揮発性記憶領域へのデータの書き込みを指示する主第 2 書き込み動作コマンドと、前記選択されたバッファ回路のバッファ領域に優先的に対応する不揮発性記憶領域でない不揮発性記憶領域へのデータの書き込みを指示する従第 2 書き込み動作コマンドとを有し、

前記第 2 読み出し動作コマンドは、前記選択されたバッファ回路のバッファ領域に優先的に対応する不揮発性記憶領域からのデータの読み出しを指示する主第 2 読み出し動作コマンドと、前記選択されたバッファ回路のバッファ領域に優先的に対応する不揮発性記憶領域でない不揮発性記憶領域からのデータの読み出しを指示する従第 2 読み出し動作コマンドとを有することを特徴とする請求の範囲第 4 9 項記載の不揮発性記憶装置。

5 1. 前記第 2 読み出しコマンド又は前記第 2 書き込みコマンドでは第 1 データ量単位に一度にデータの読み出し又は書き込みが行われ、
前記第 2 消去コマンドでは第 1 データ量よりも多い第 2 データ量単位に一度にデータの消去が行われ、

前記第 3 の動作指示コマンドで第 1 アドレスを指定し、前記第 2 消去
コマンドを指示する場合、前記第 1 アドレスから前記第 1 データ量の
アドレス範囲に含まれる第 1 データと、前記第 1 アドレスから前記第
1 データ量のアドレス範囲に含まれない第 2 アドレスからの第 2 デ
5 データとのうち、前記第 1 データは前記選択されたバッファ回路のバッ
ファ領域に優先的に対応する不揮発性記憶領域への書き込みと、前記
第 2 データは前記選択されたバッファ回路のバッファ領域に優先的
に対応する不揮発性記憶領域でない不揮発性記憶領域への書き込み
との少なくとも一方が行われることを特徴とする請求の範囲第 50
10 項記載の不揮発性半導体装置。

5 2 . 制御部と不揮発性記憶部とを有し、

前記不揮発性記憶部は複数の記憶領域を有し、

前記記憶領域の数と同数のバッファ回路を有し、

それぞれのバッファ回路は外部に接続され、また前記複数の記憶領域
15 のそれぞれと対応付けられ、

前記複数のバッファ回路は前記制御部による制御に基づいてそれぞ
れ独立して外部との間でアクセス可能にされ、

1 又は複数の前記記憶領域は前記制御部による制御に基づいて、対応
付けられたバッファ回路との間でそれぞれ独立してアクセス動作可
20 能にされることを特徴とする不揮発性記憶装置。

5 3 . 不揮発性メモリ部、バッファ部、及び制御部を有し、

前記不揮発性メモリ部はそれぞれ独立してアクセス動作可能な複数
のメモリバンクに分割され、

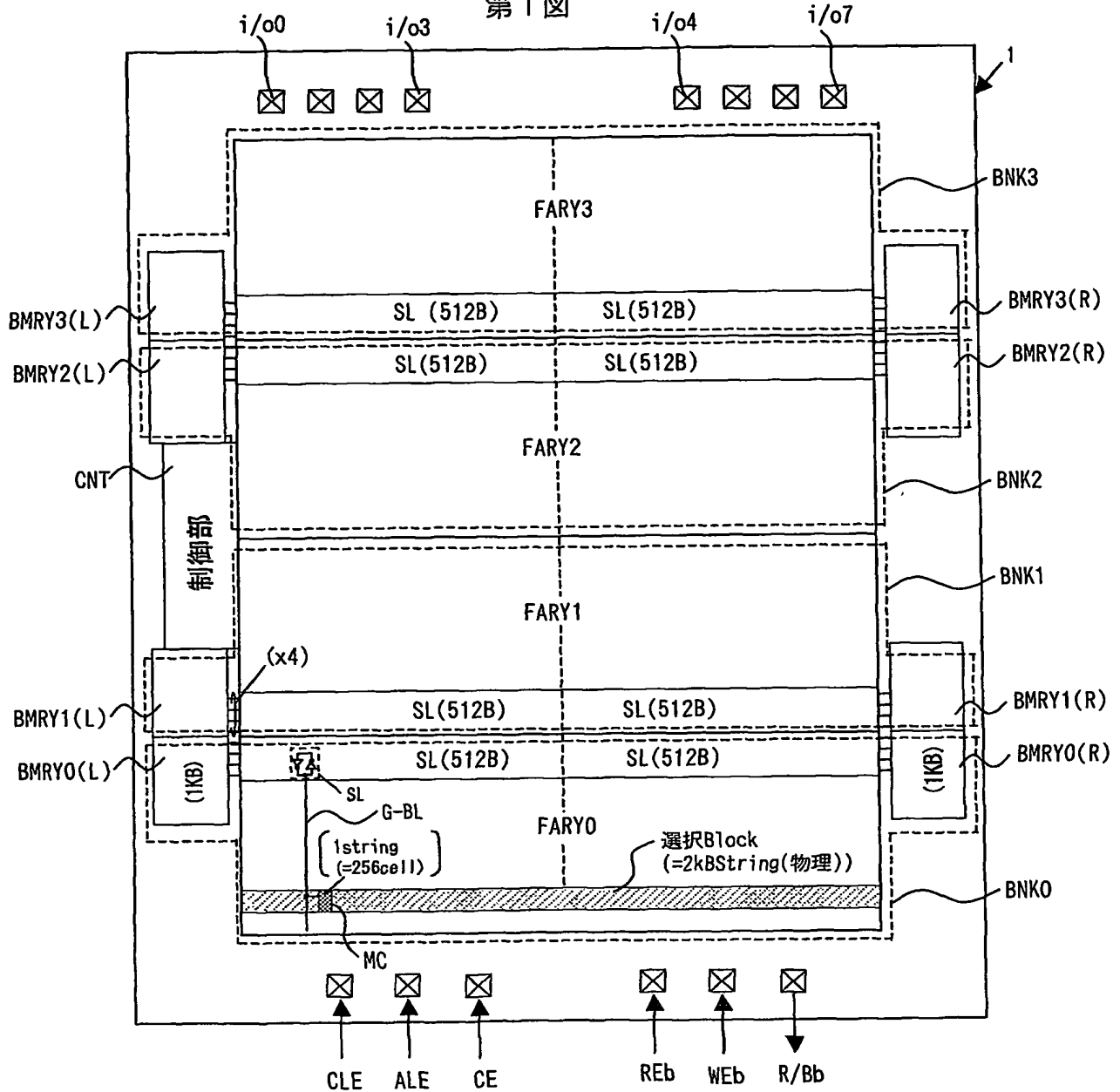
前記バッファ部は前記夫々のメモリバンクに対応した複数の領域に
25 分割され、

前記制御部は前記不揮発性メモリ部及びバッファ部に対してそれぞ

- れ外部からの指示に従って独立にアクセス制御可能とされ、
- 外部からの指示に従って1又は複数の前記バッファ部の領域に対し
- アクセス指示を行った後、前記1又は複数の領域に対応付けられた1
- 又は複数の前記メモリバンクに対して前記不揮発性メモリ部とバッ
- 5 ファ部との間のアクセス制御可能とされることを特徴とする不揮発
- 性記憶装置。

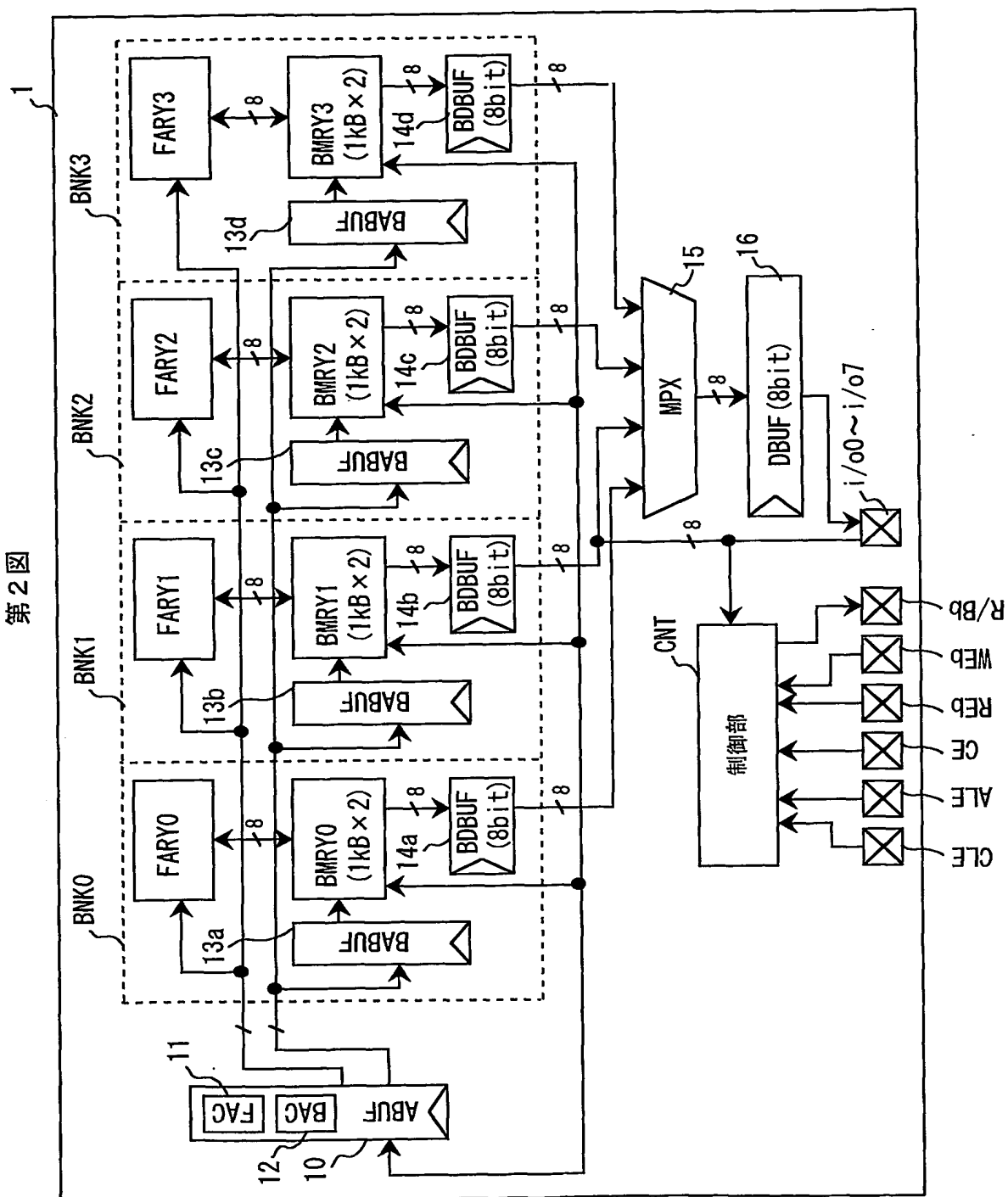
1 / 3 3

第1図



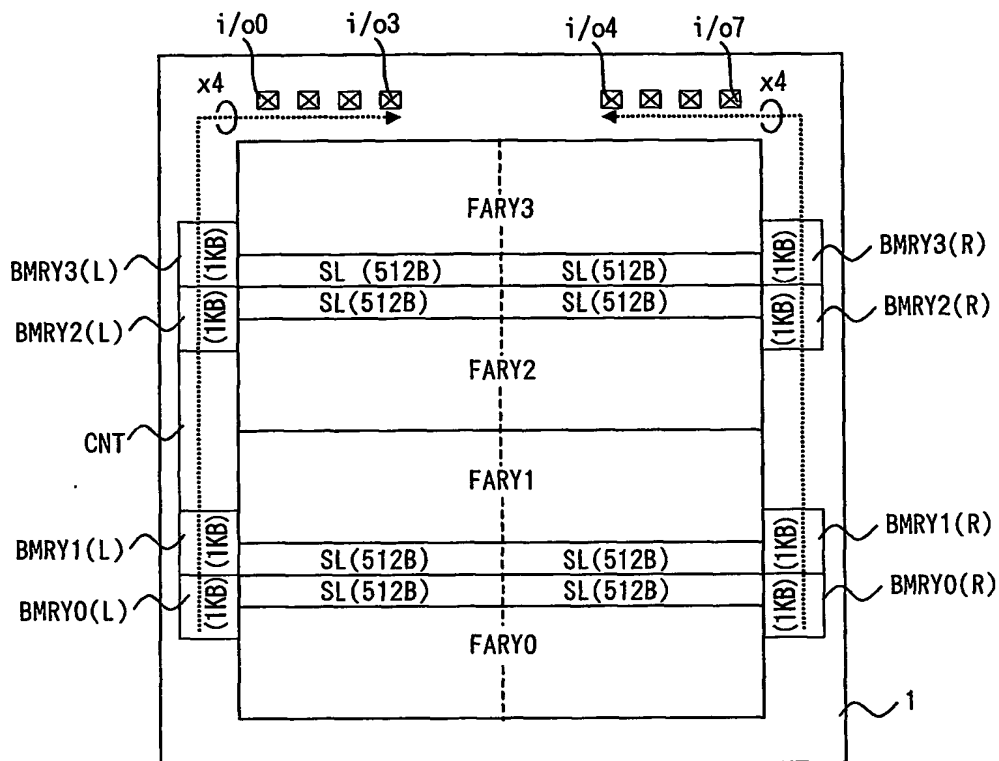
2 / 3 3

圖 2 無



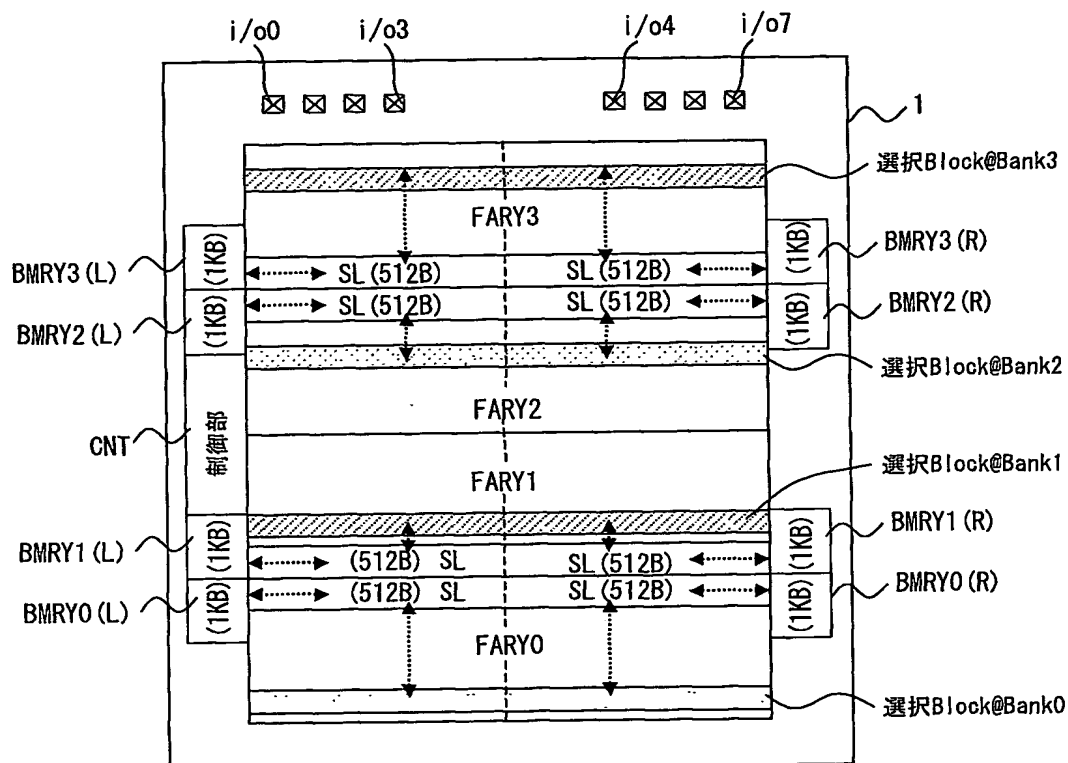
3 / 3 3

第3図

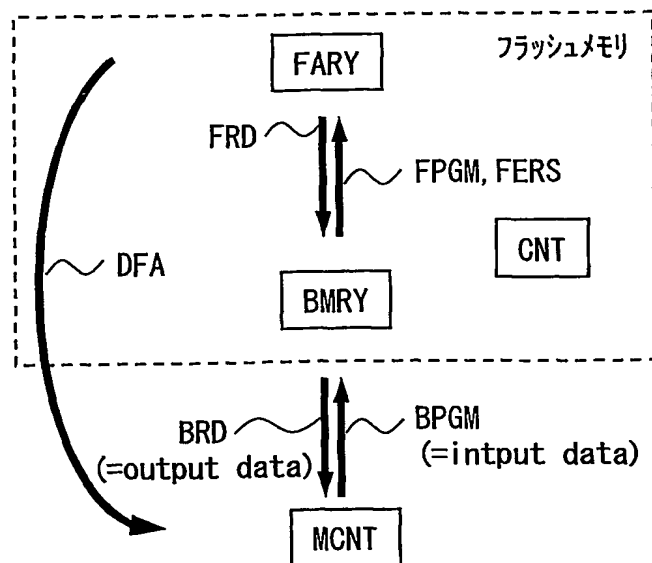


4 / 3 3

第4図

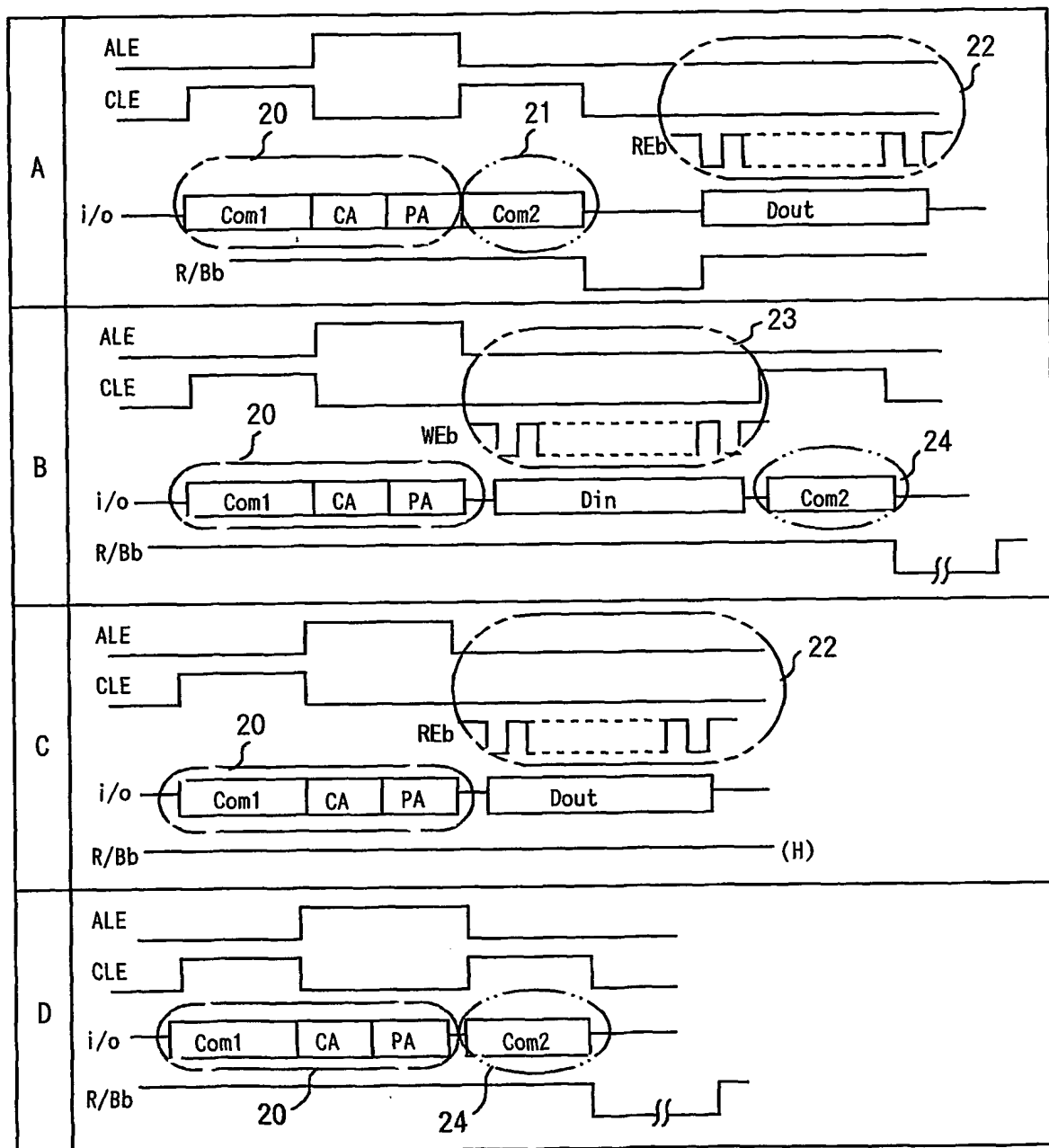


第5図



5 / 3 3

第 6 図



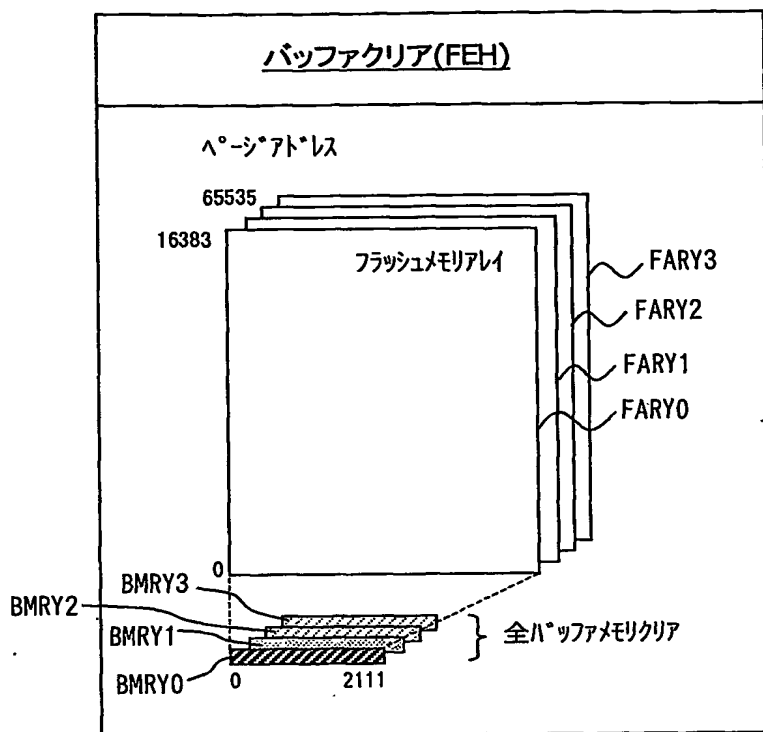
6 / 33

第7図

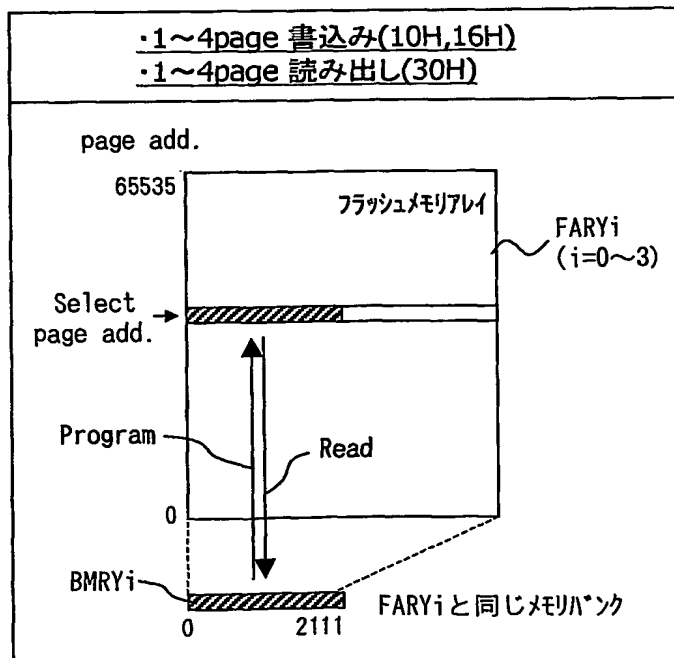
No.	Com1	CA	PA	Com2	BMRV クリア	種類	概要
1	00H	○	○	30H	×	連続4ページ(旧セクタ)読み出し	連続4ページの読み出し(最大4ページ)
2	05H	○	×	E0H	×	ページ内 Random Output 用CA 設定	読み出し時に CA を設定する。(任意回数入力可)
3	06H	○	○	E0H	×	Random Output 用CA, PA 設定	読み出し時に CA, PA を設定する。(任意回数入力可)
4	80H	○	○	11H	○	書き込みセクタアップ	書き込みセクタアップ
5	80H	○	○	10H	○	書き込み	4と5で設定されたバンクに対して書き込み(簡易上掲)
6	85H	○	×	×	×	Random Input 用CA 設定	連続した4ページ書き込み
7	00H	○	○	35H	×	コピーバック用読み出し	1バンクにつき1ページの読み出し
8	85H	○	○	10H	×	コピーバック書き込み	BMRVに読み出されたデータを書き込む
9	80H	○	○	15H	○	キャッシュプログラム	No.5と同じだが書き込みで使用していないBMRVを開放する。
10	60H	×	○	D0H	×	ブロック消去	1バンクにつき1ブロック消去
11	7*H	×	×	×	×	ステータス読み出し	ステータスコードの読み出し(70H~76H)
12	90H	×	×	×	×	ID読み出し	IDコードの読み出し。
13	FFH	×	×	×	×	強制リセット	内部状態のリセット, ステータスレジスタのクリア
14	00H	○	○	31H	×	異バンク読み出し	FARY{0,1,2,3}→BMRV{2,3,0,1}へ読み出し
15	80H	○	○	12H	○	異バンク書き込み	BMRV{0,1,2,3}→FARY{2,3,0,1}へ書き込み(簡易上掲)
16	80H	○	○	13H	○	連続4ページ書き込み	連続した4ページのデータを書き込む。
17	80H	○	○	16H	○	書き込み2	No.5のプレリファイ付き書き込み
18	80H	○	○	17H	○	異バンク書き込み2	No.15のプレリファイ付き書き込み
19	80H	○	○	18H	○	連続4ページ書き込み2	No.16のプレリファイ付き書き込み
20	00H	○	○	3AH	×	2値読み出し	2値モードで読み出す
21	60H	○	×	D1H	×	連続4ブロック消去	連続した4ブロックを消去する。
22	FEH	×	×	×	○	バッファクリア	全てのBMRVバッファをクリアする。

7 / 3 3

第 8 図

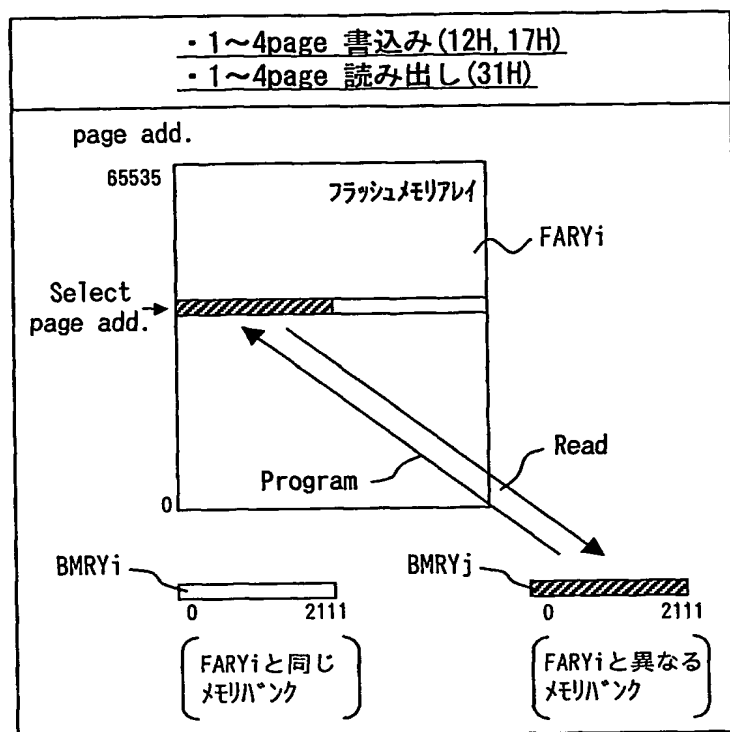


第 9 図

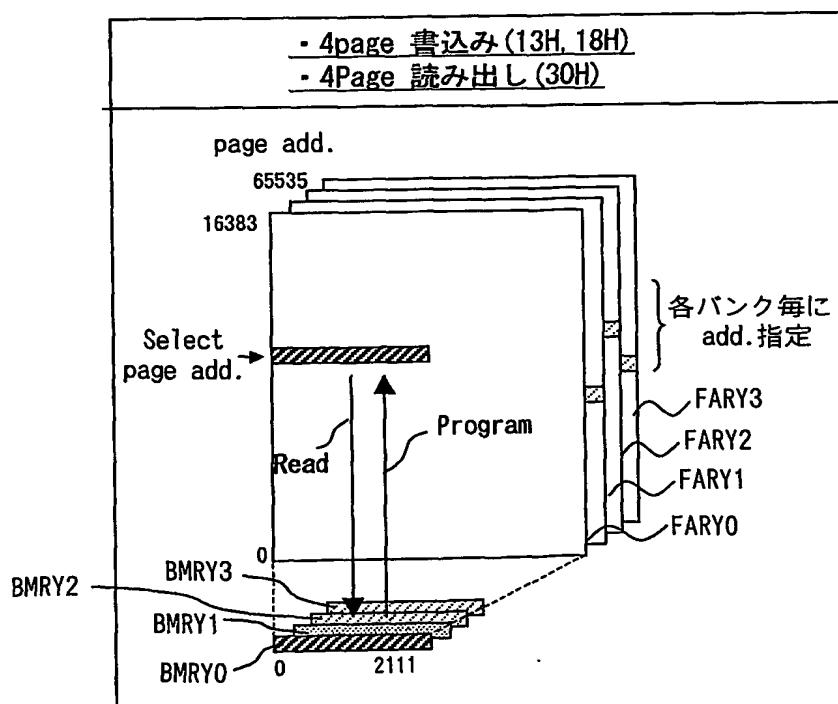


8 / 3 3

第 1 0 図

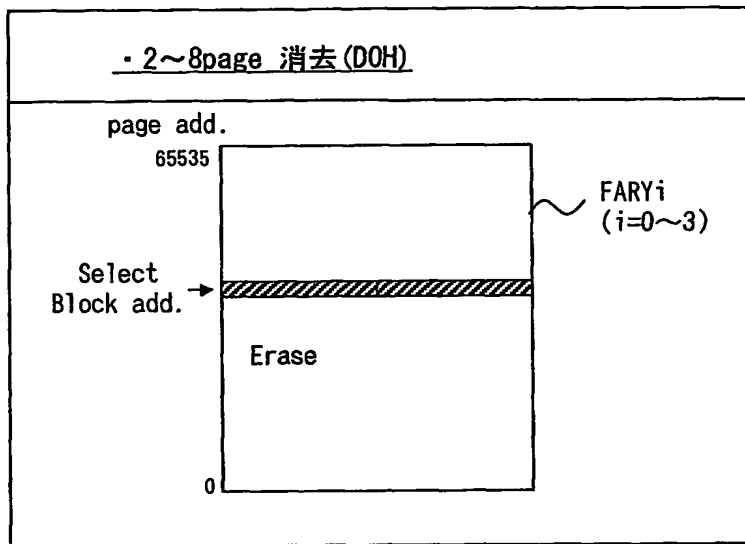


第 1 1 図

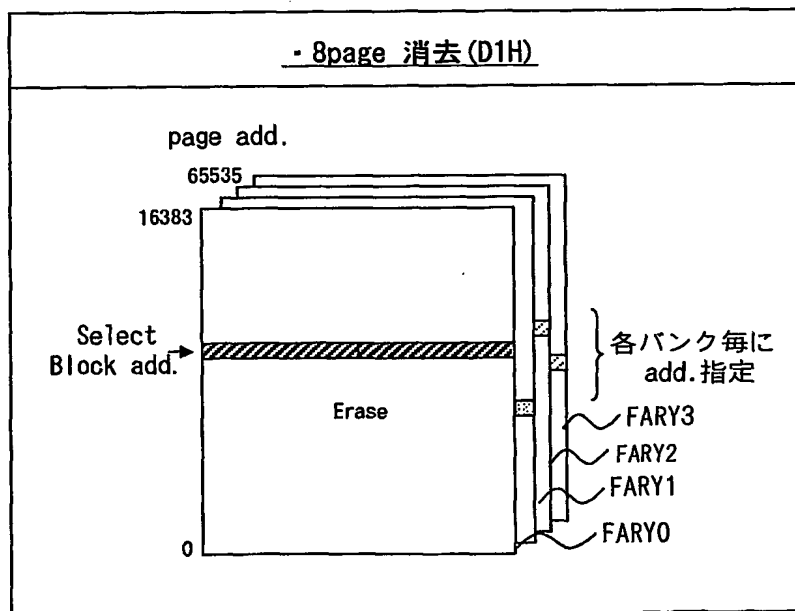


9 / 33

第 1 2 図

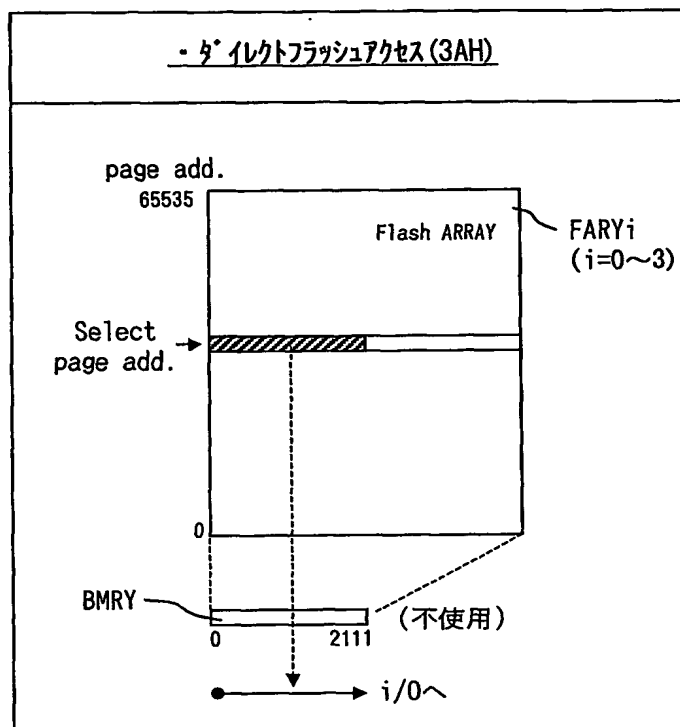


第 1 3 図



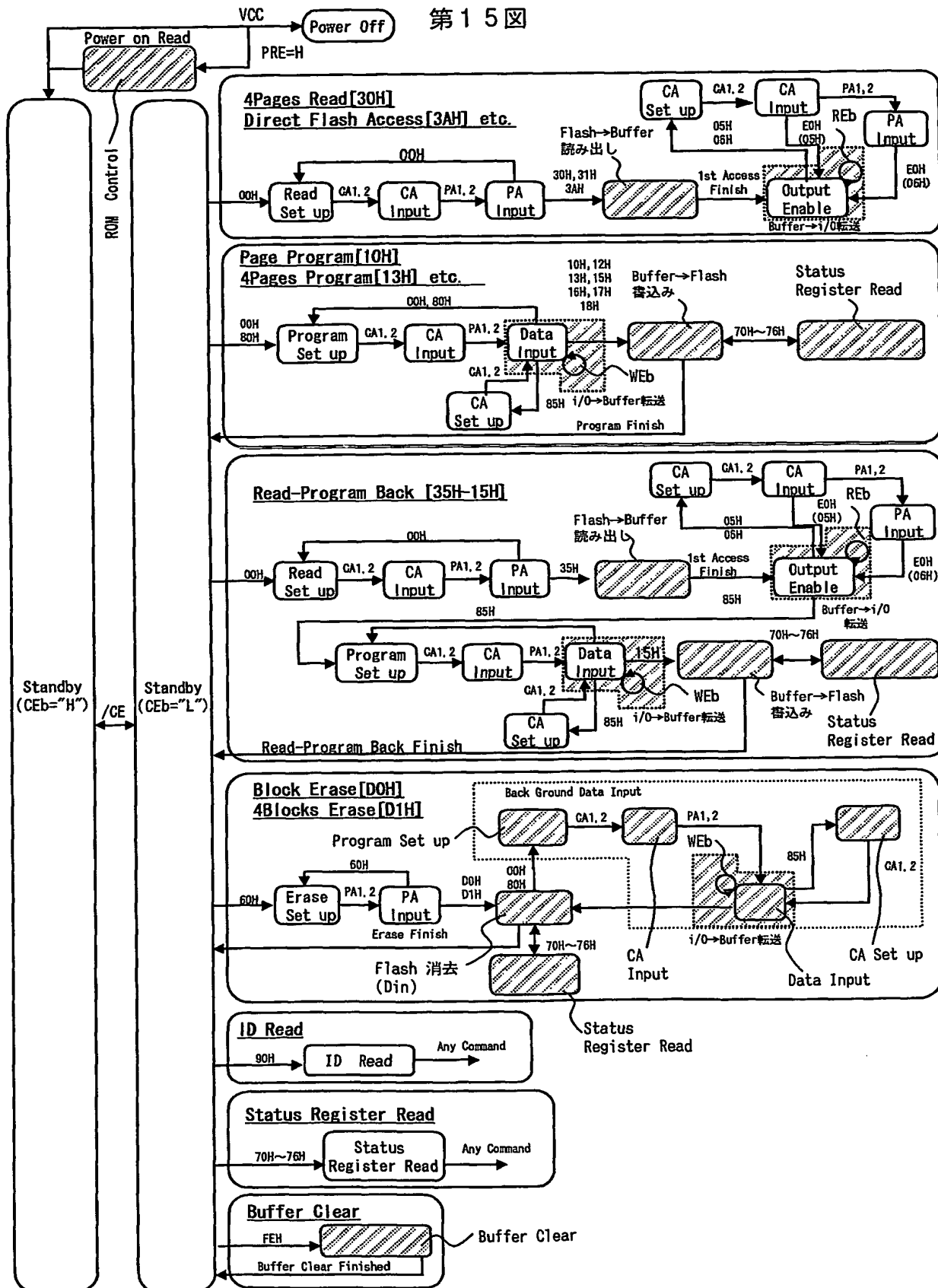
10/33

第14図



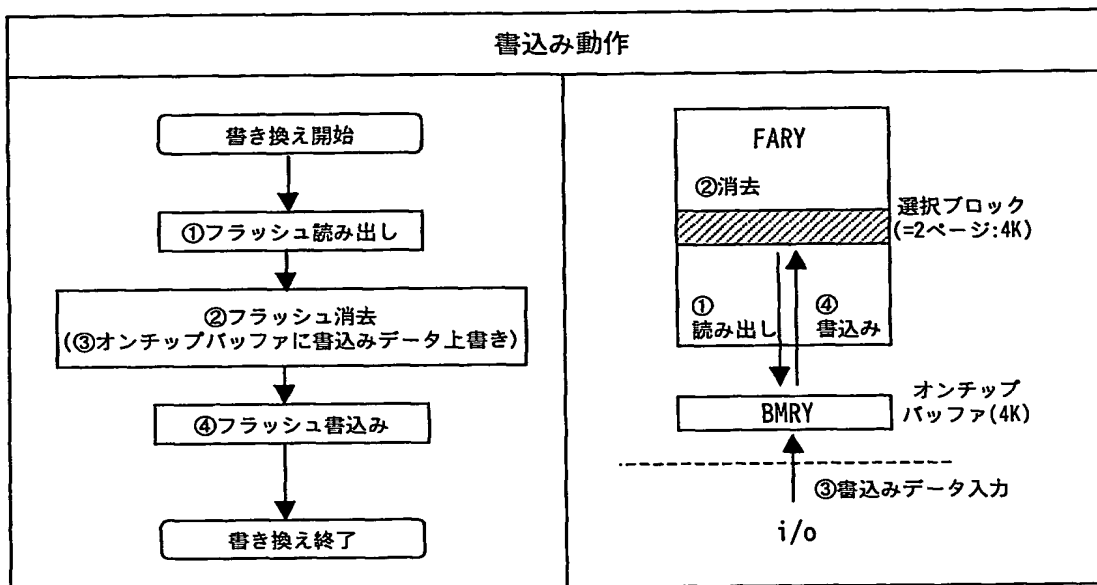
11 / 33

第15図

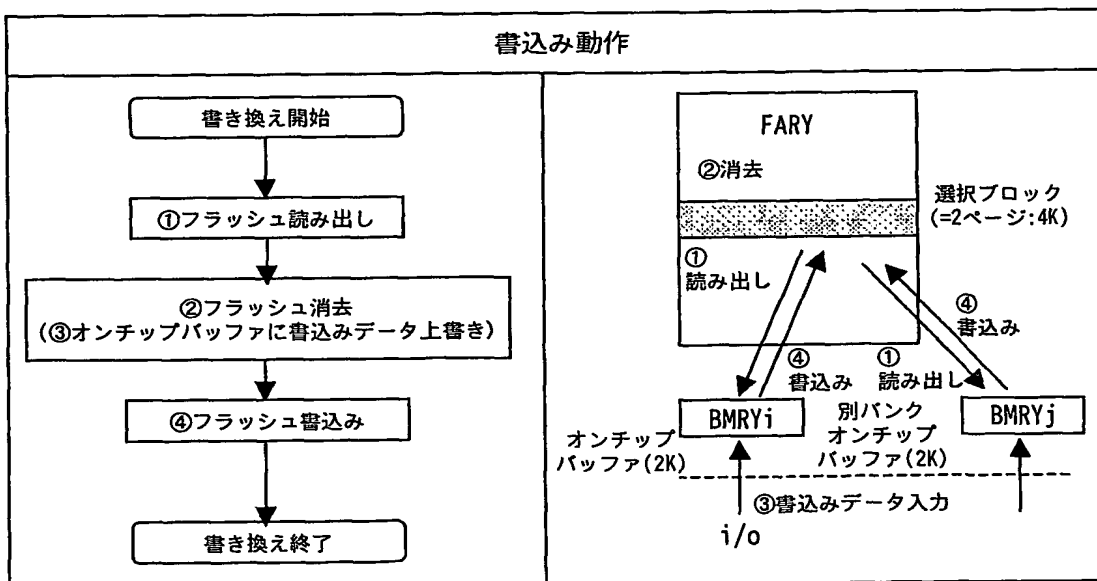


12/33

第16図

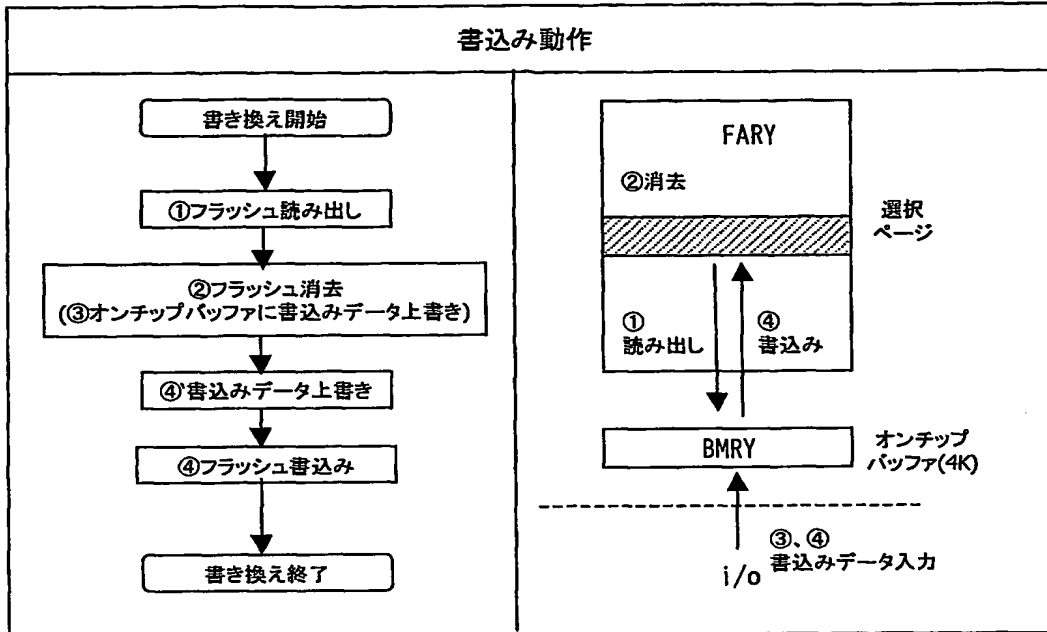


第17図

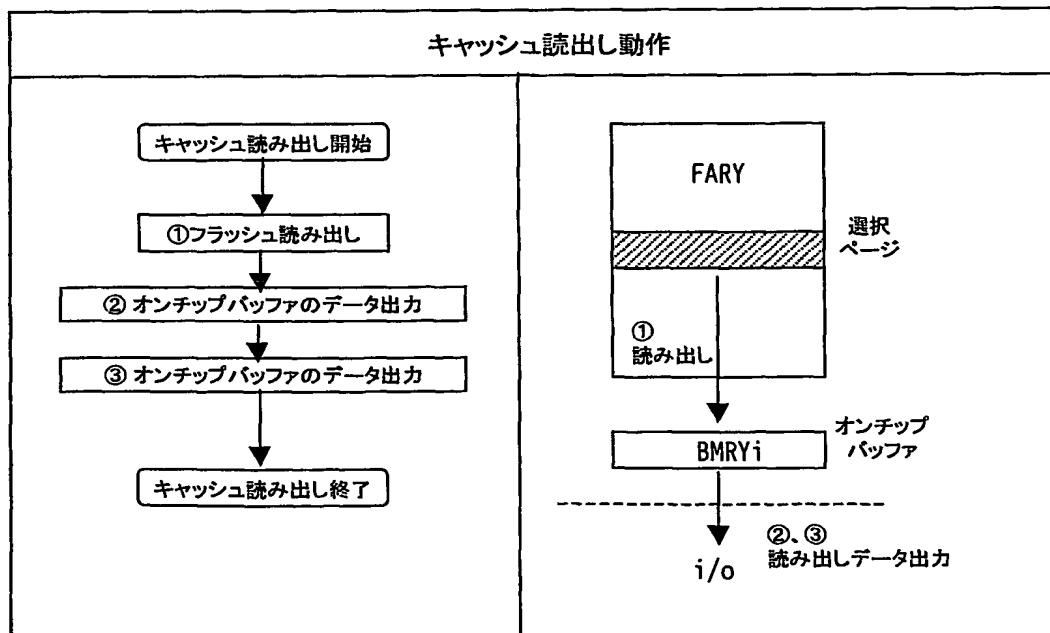


13/33

第18図

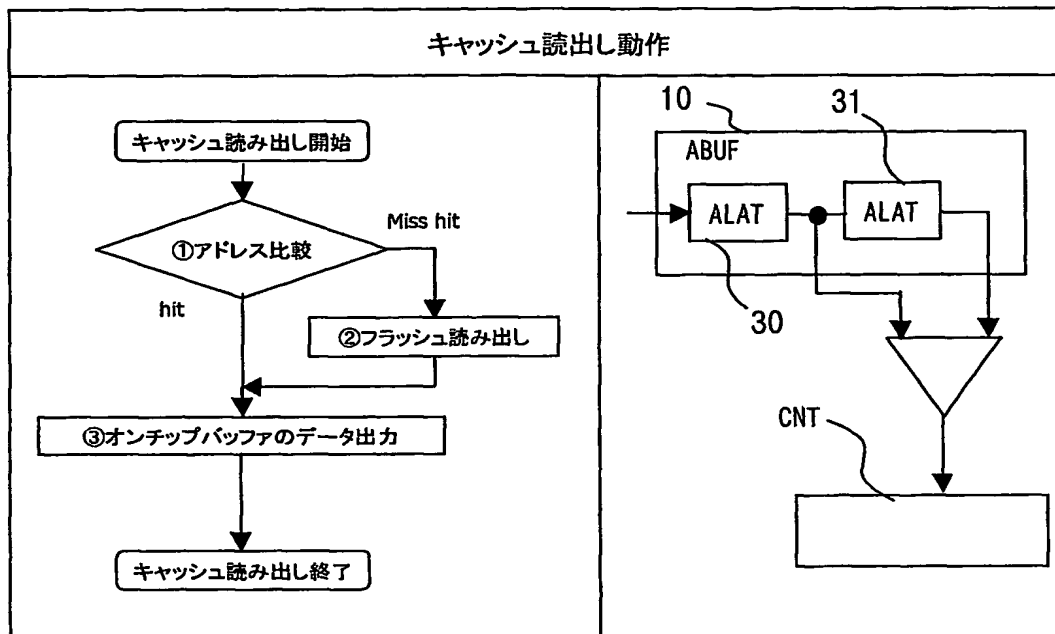


第19図

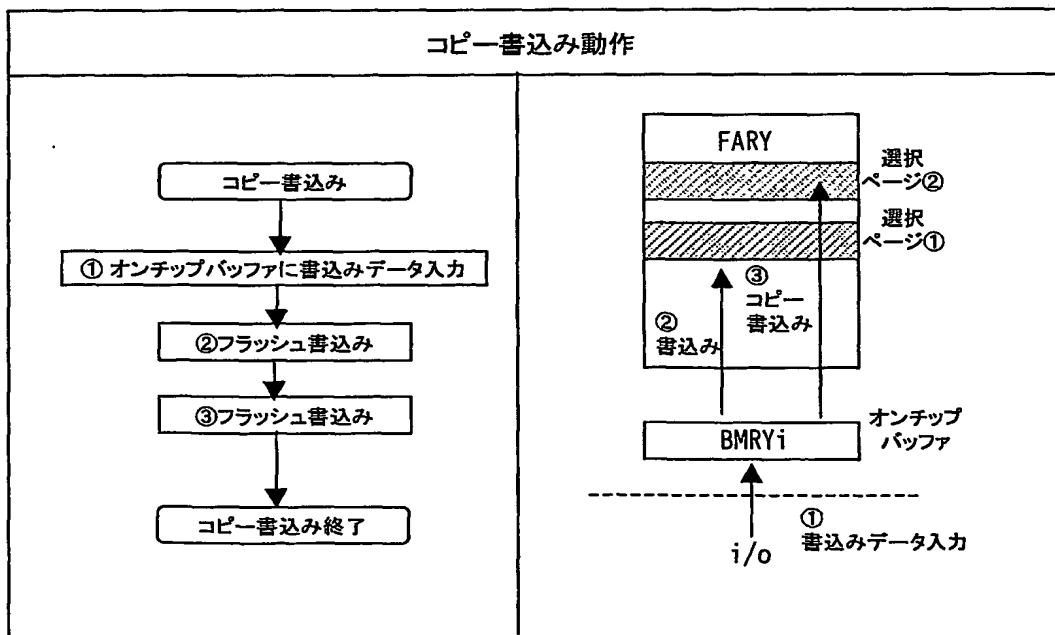


14/33

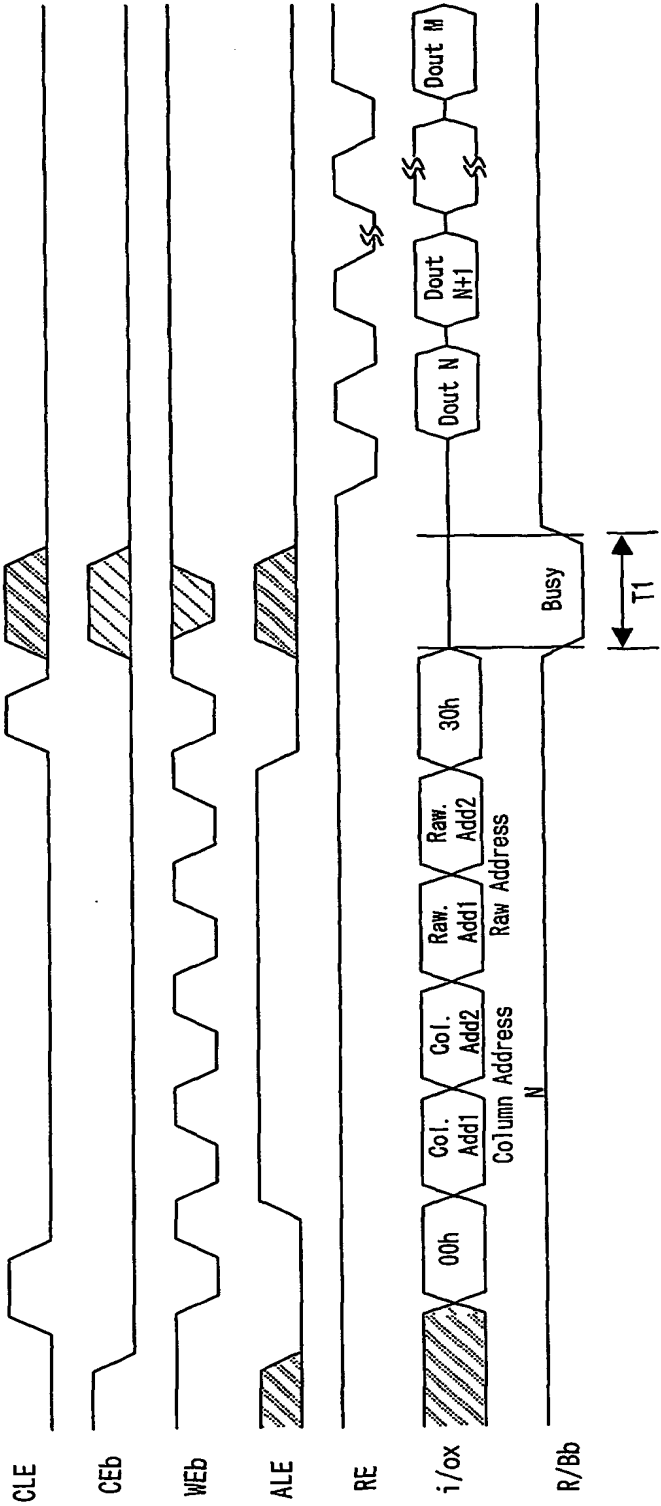
第20図



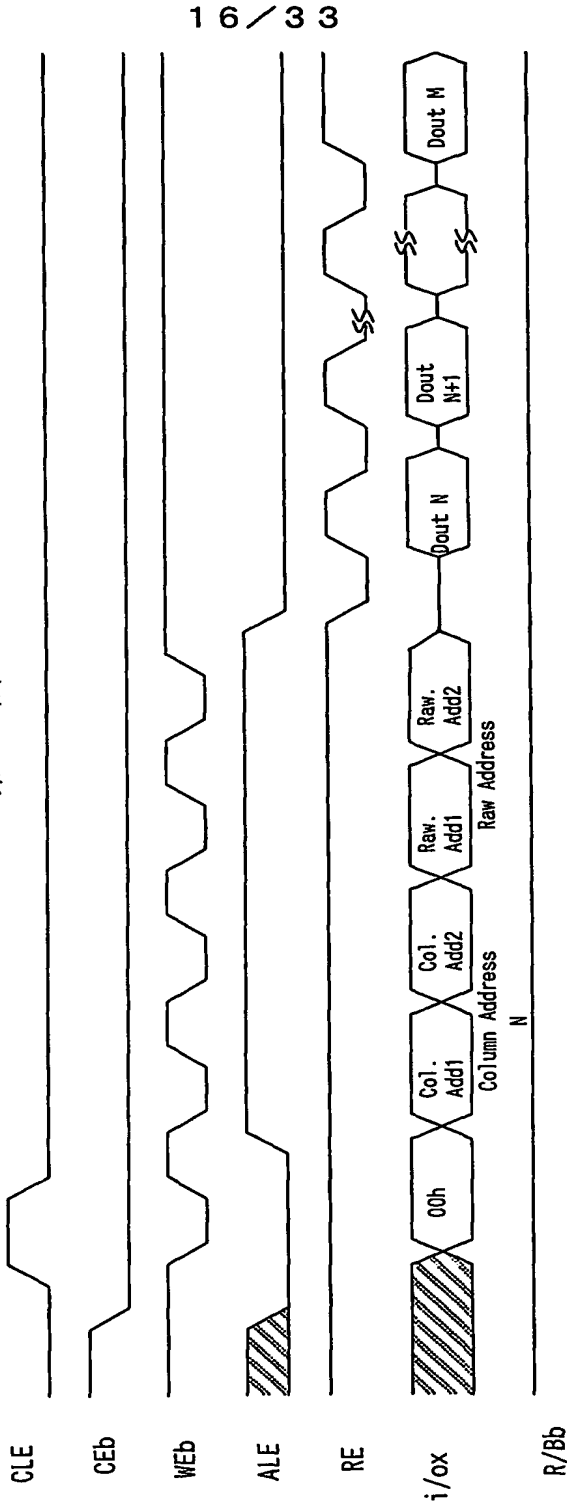
第21図



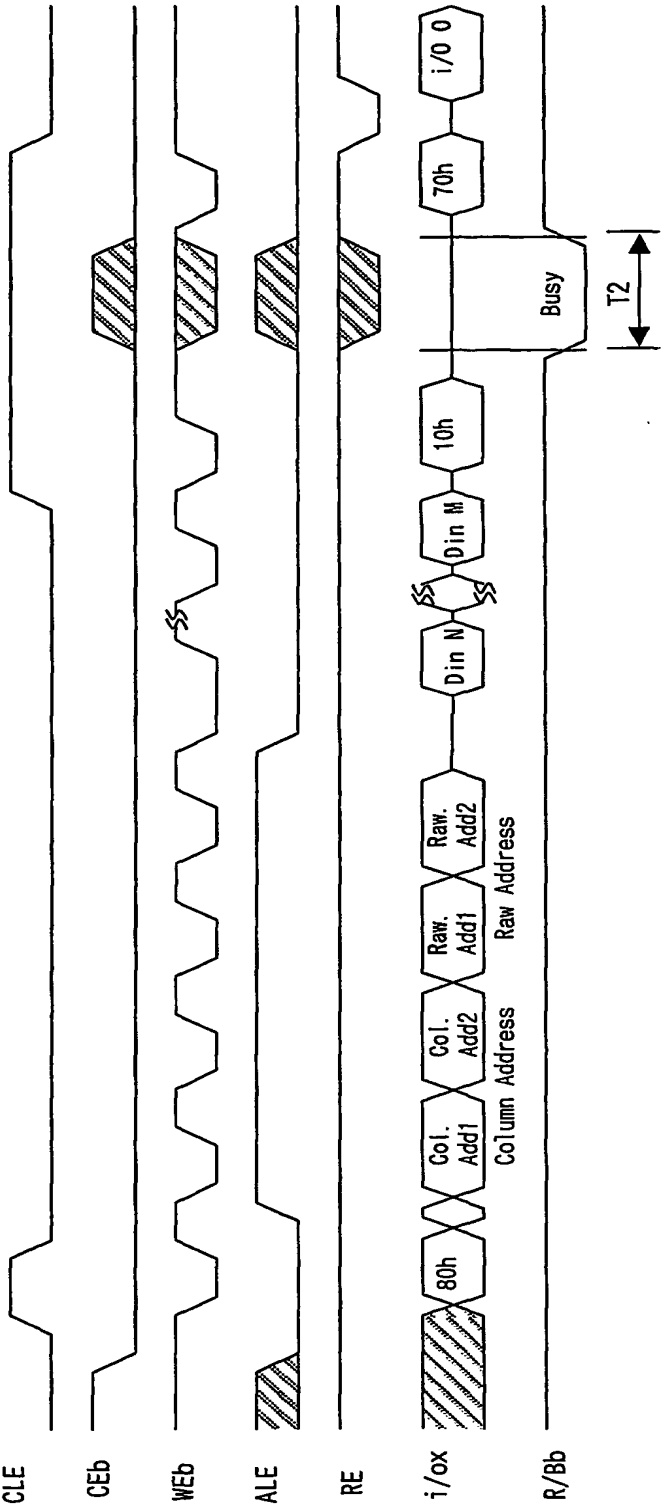
第 2 2 図



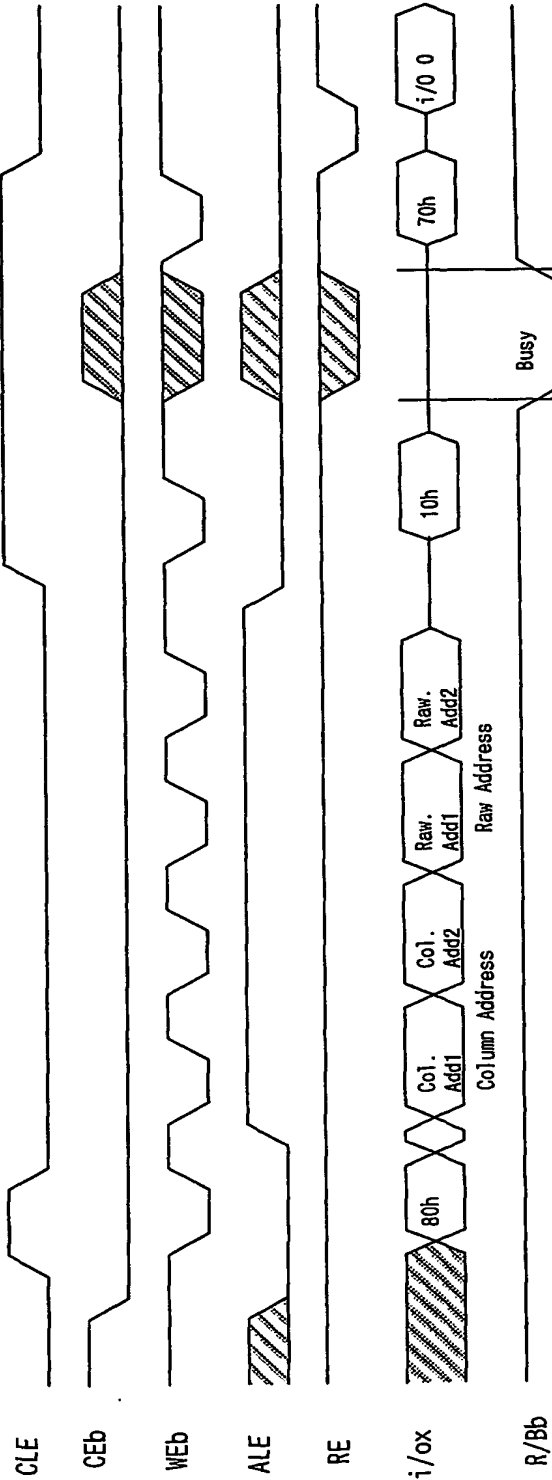
第 2 3 図



第 2 4 図



第 25 図



第26図

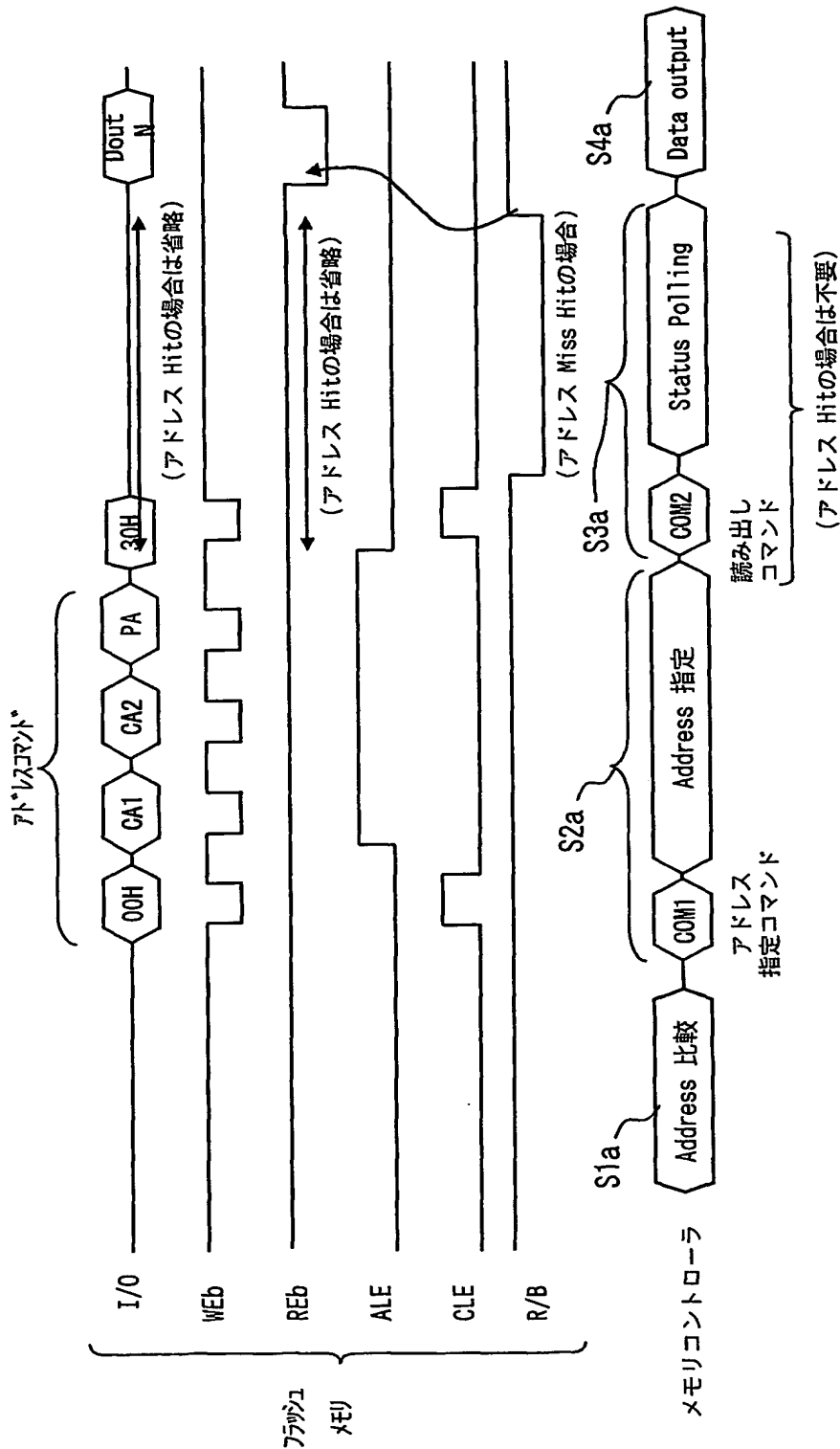
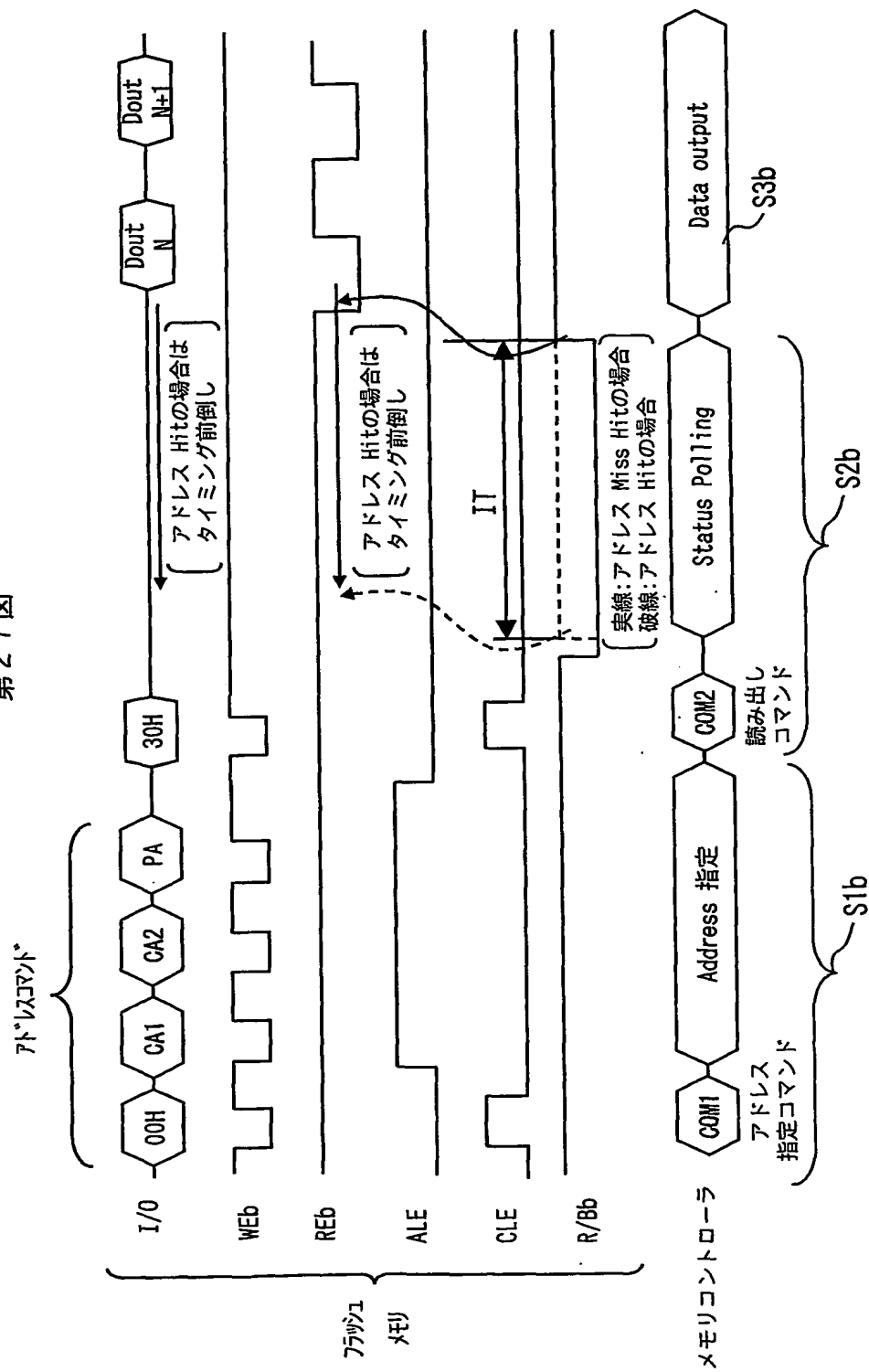
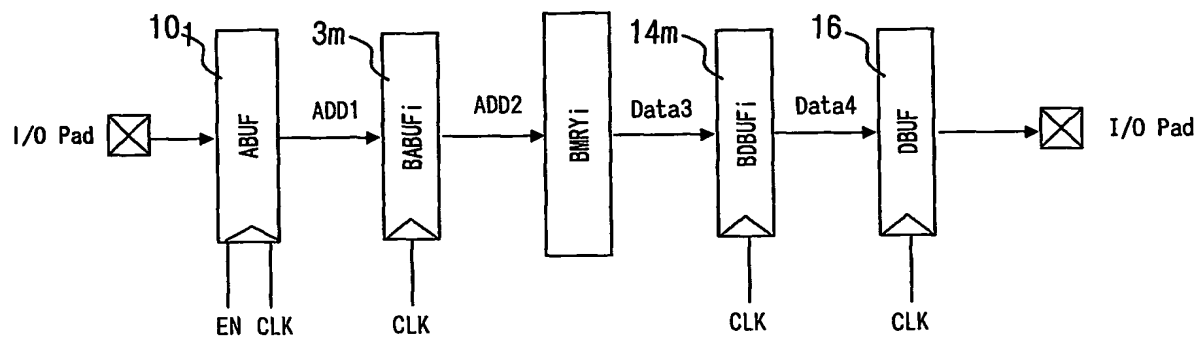


図 27

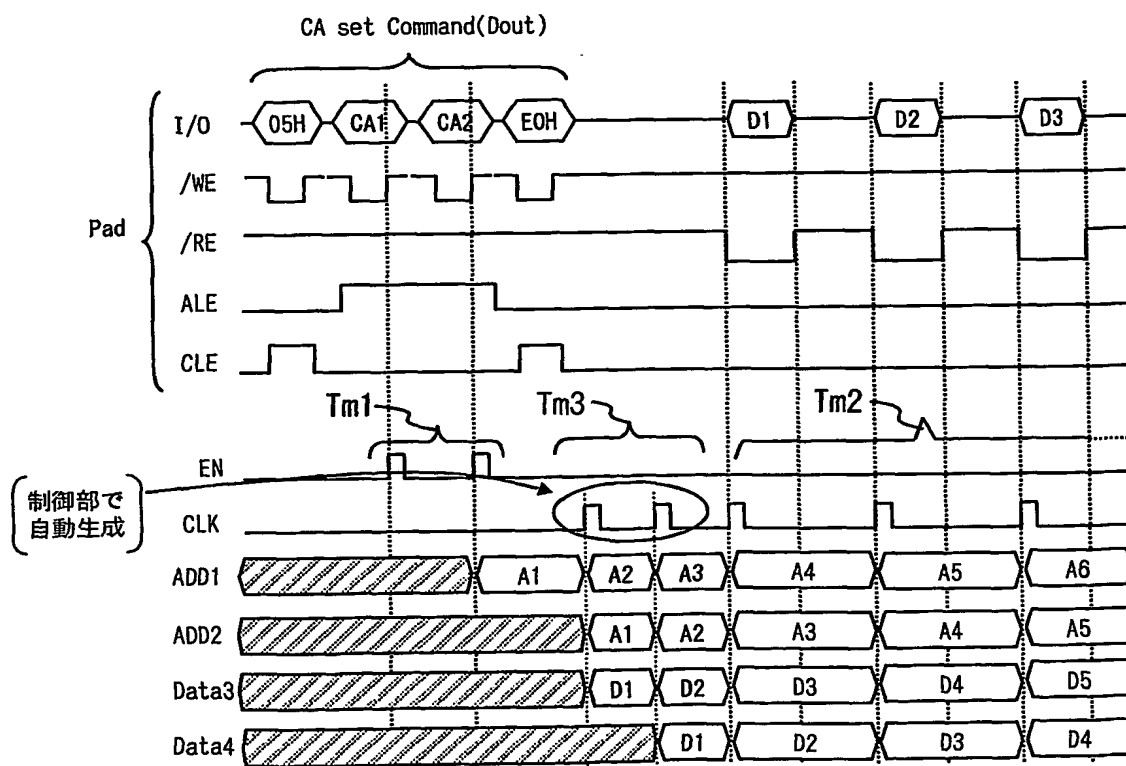


21 / 33

第28図

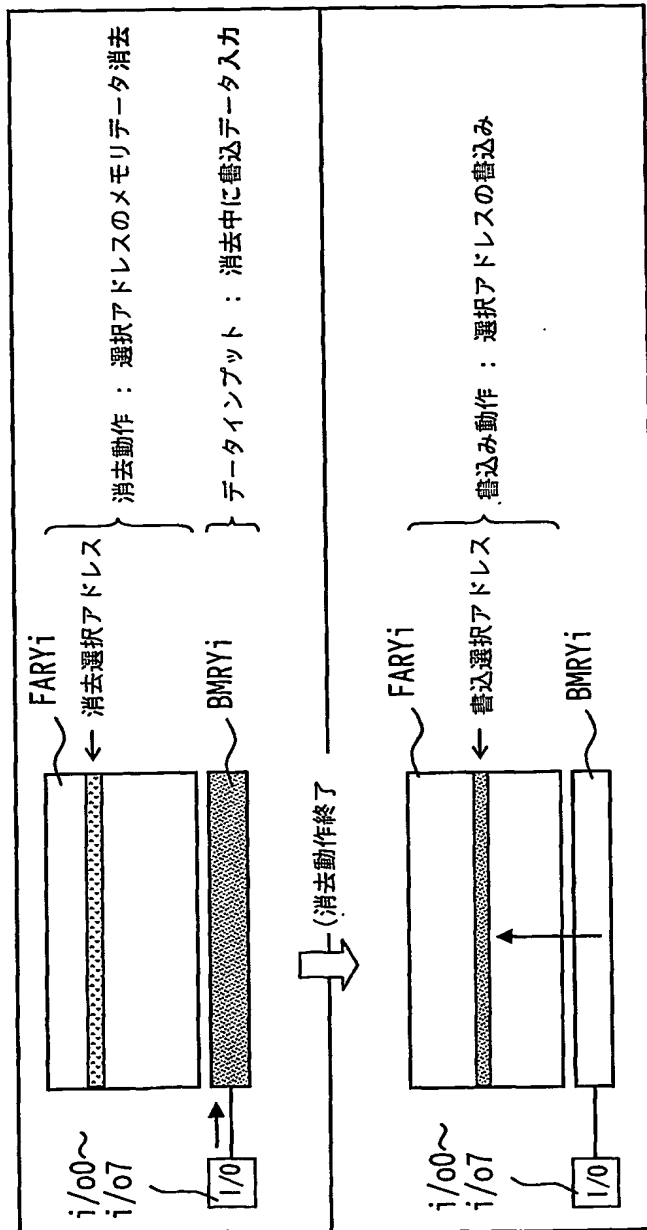


第29図

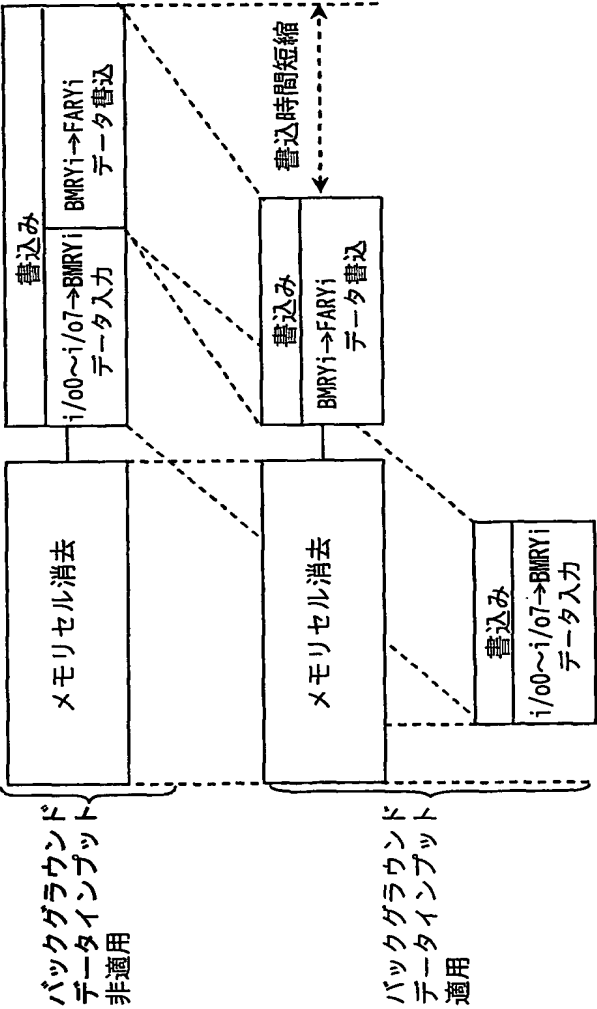


22 / 33

第30図

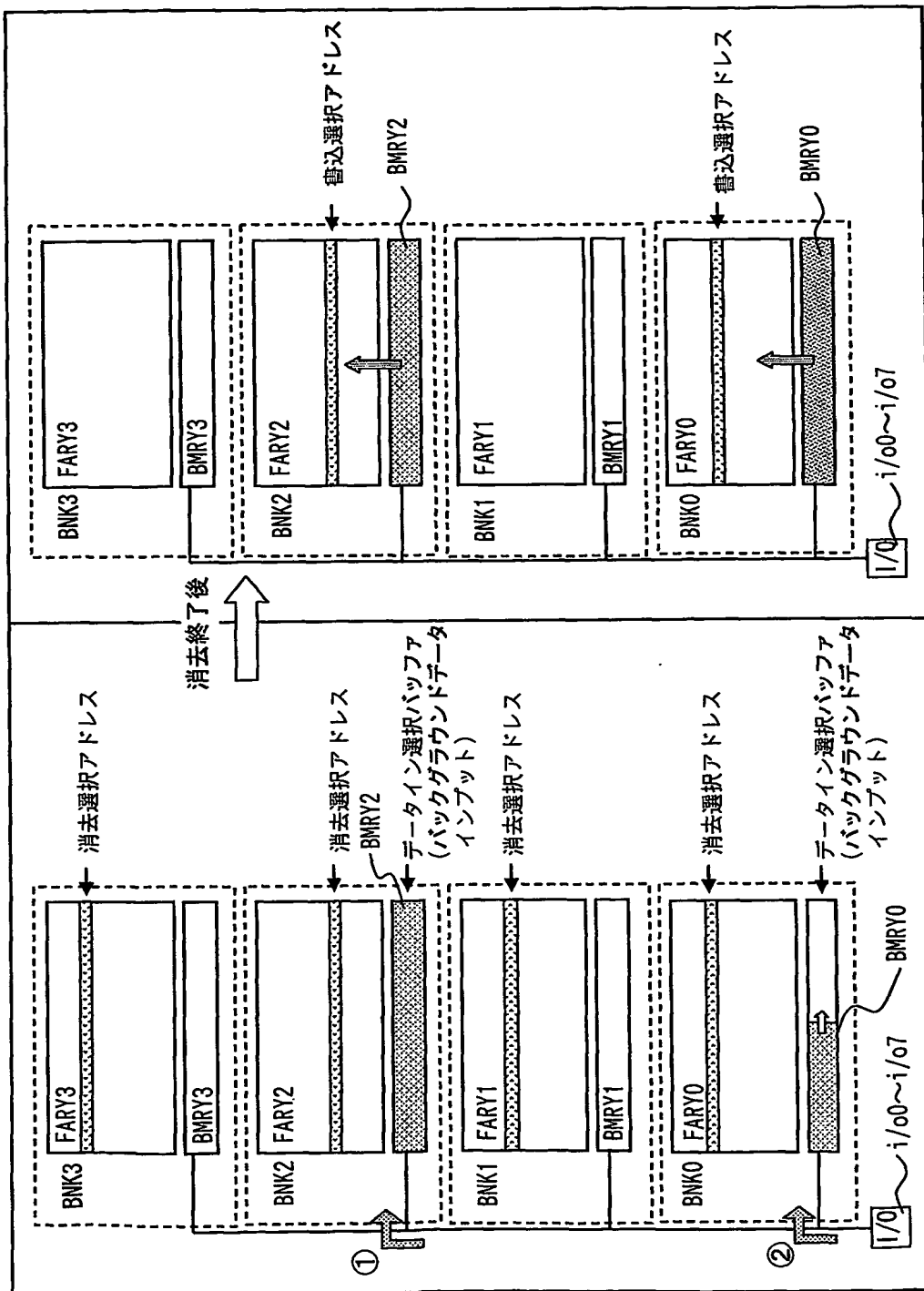


第31図



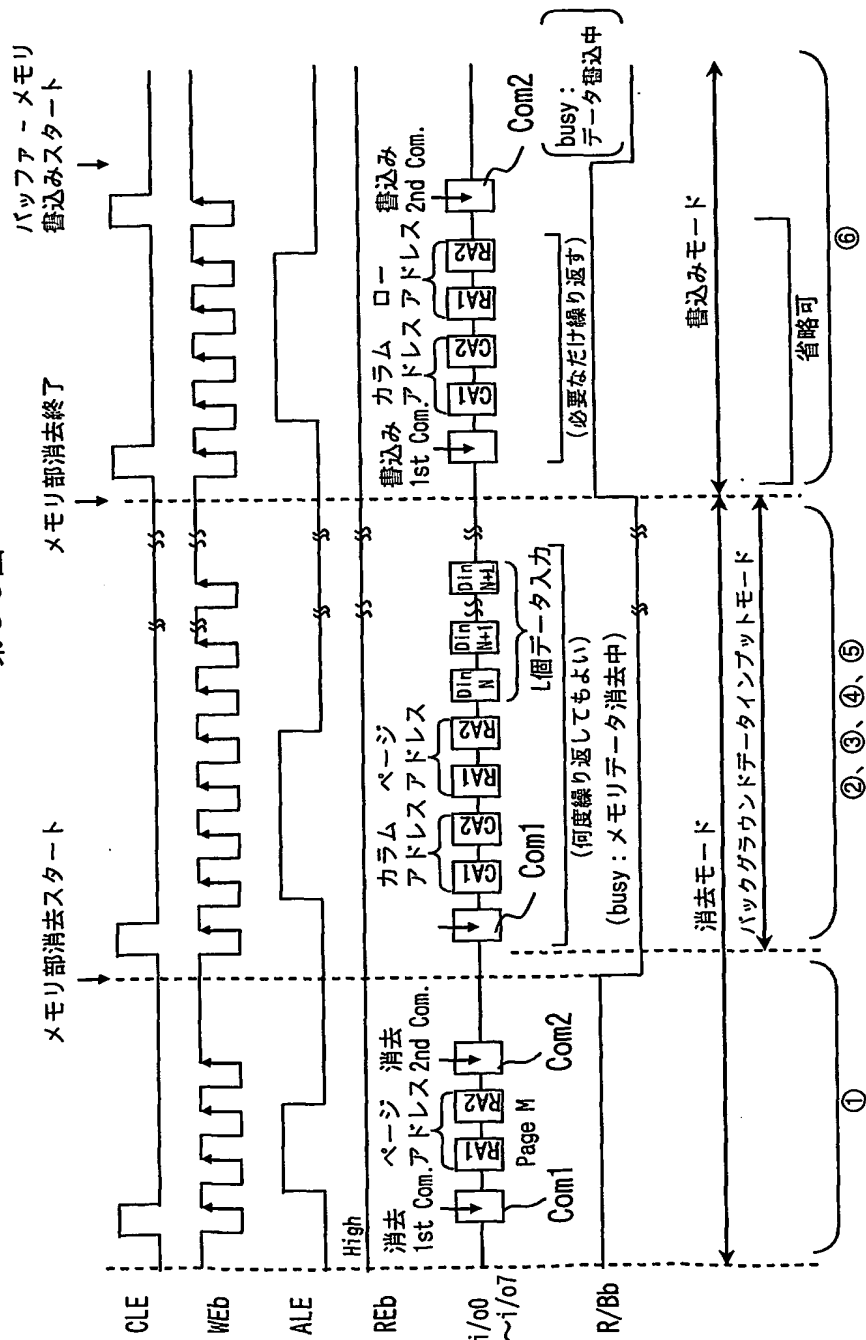
24 / 33

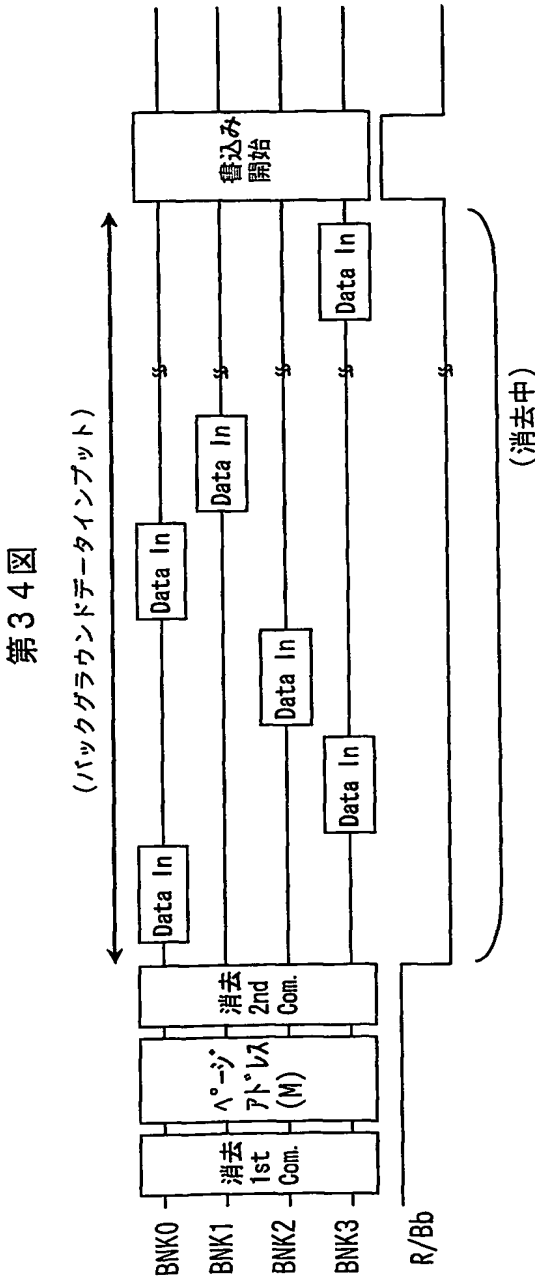
第32図



25 / 33

第33図





27/33

第35図

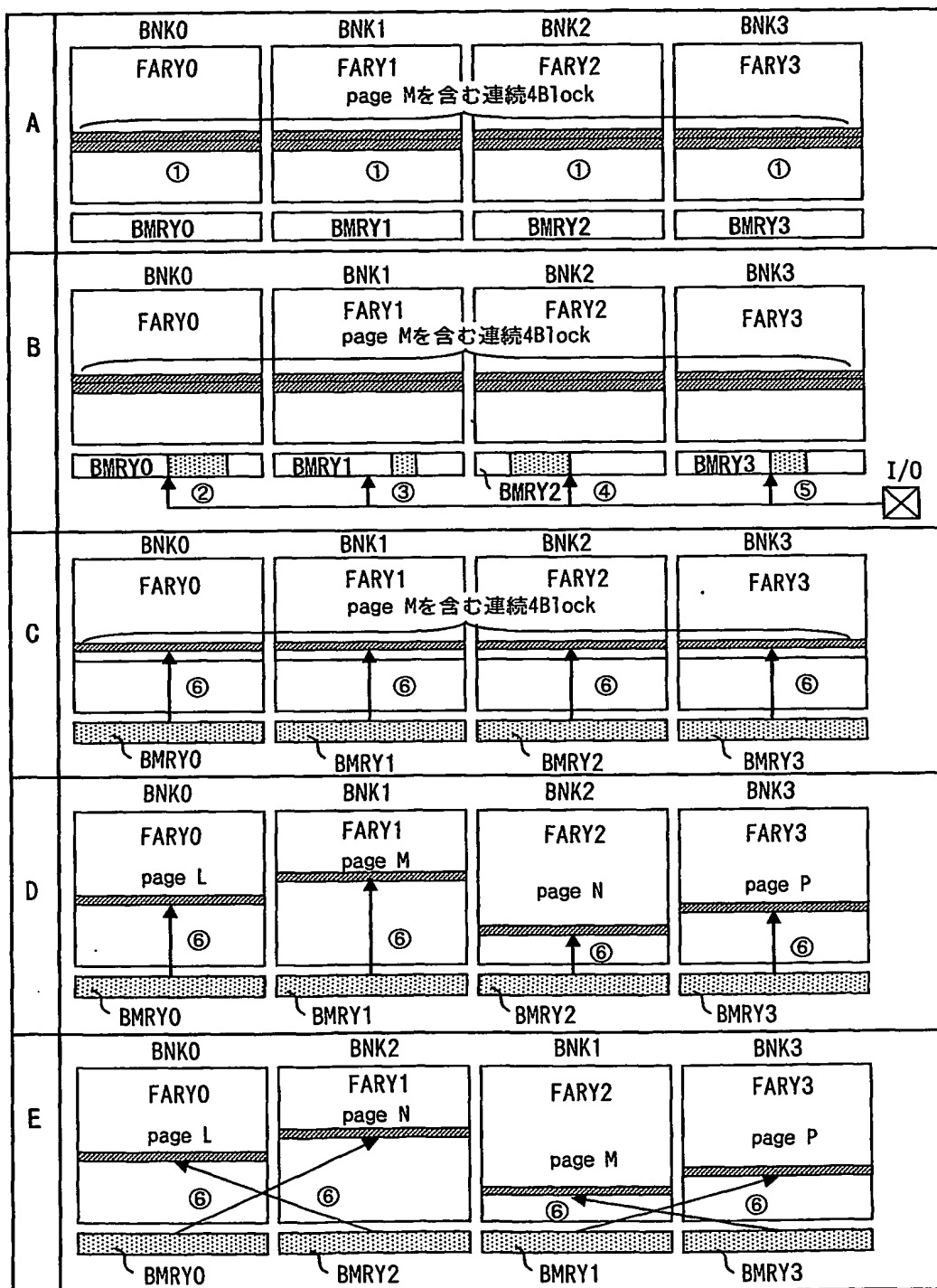
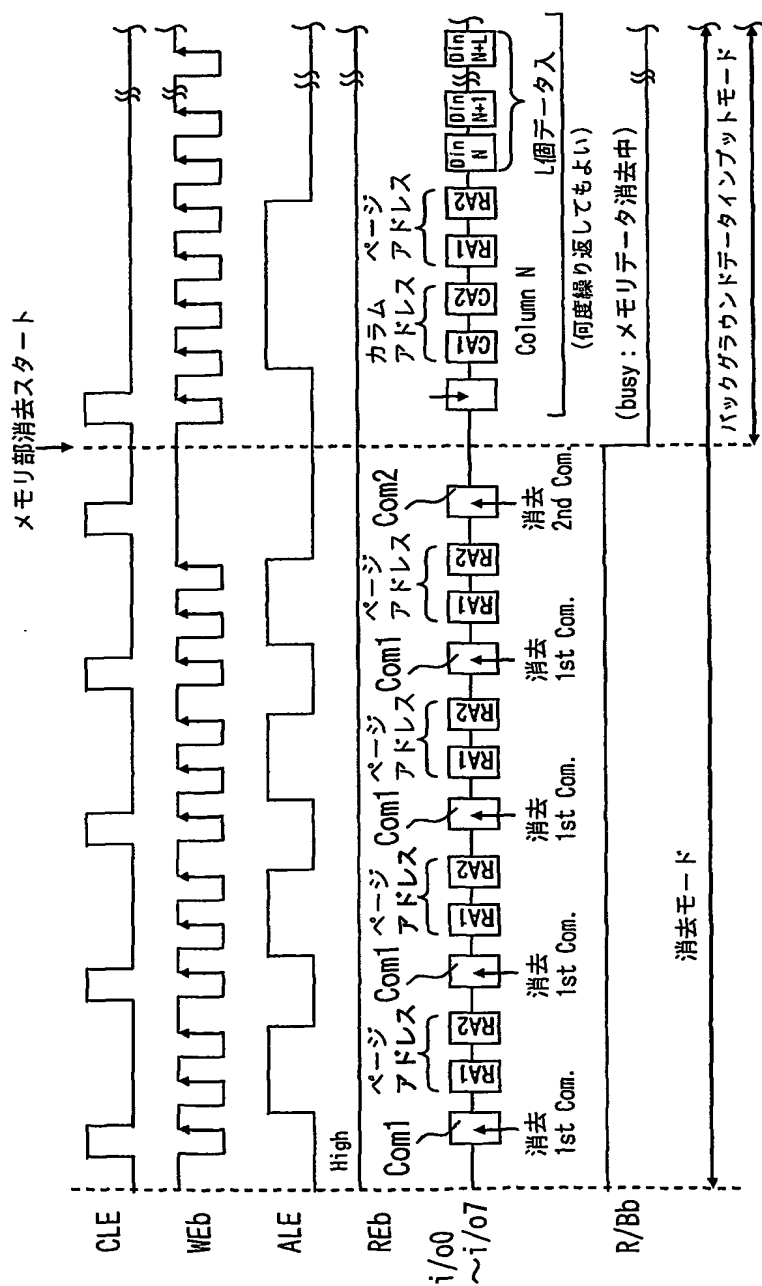
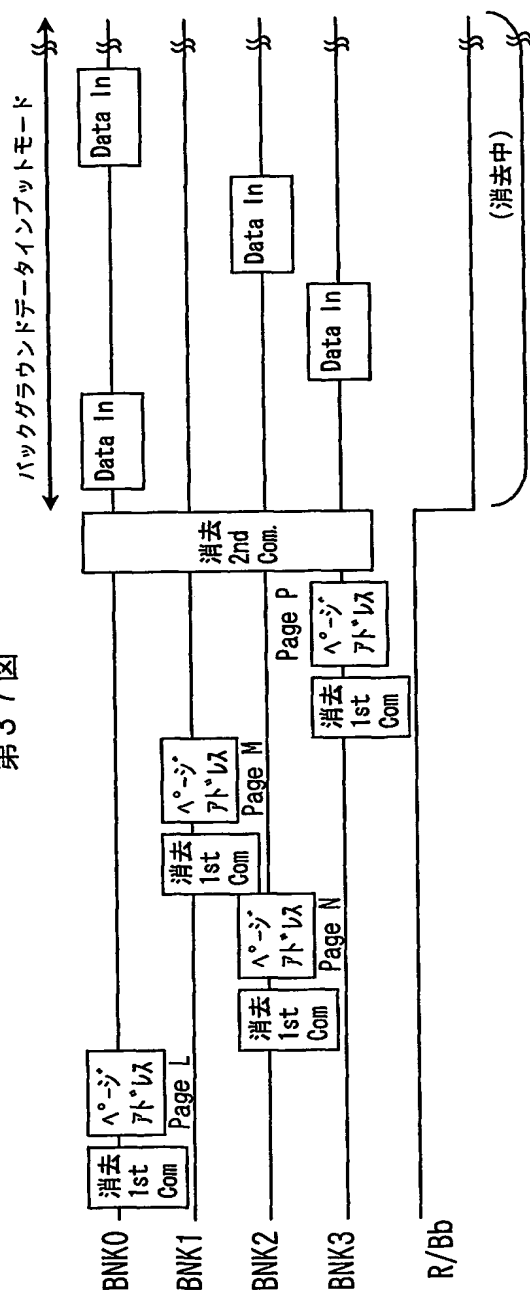


図 6.3 振

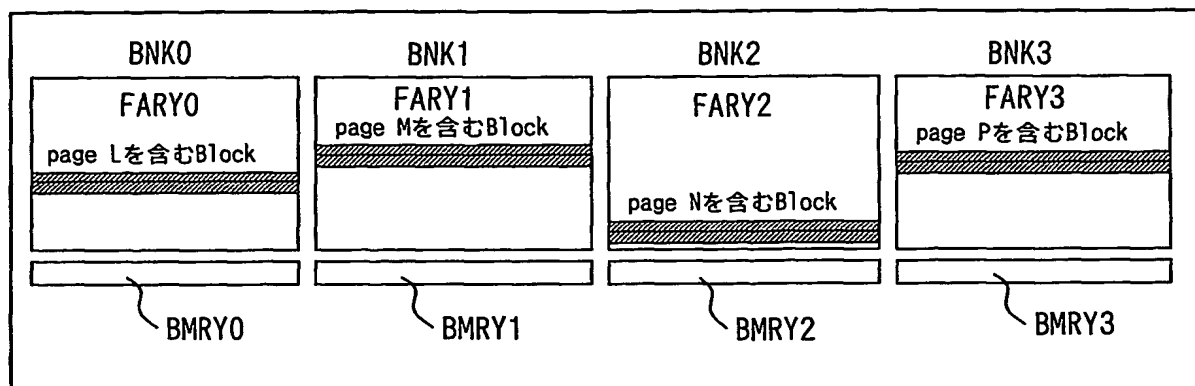


第37図



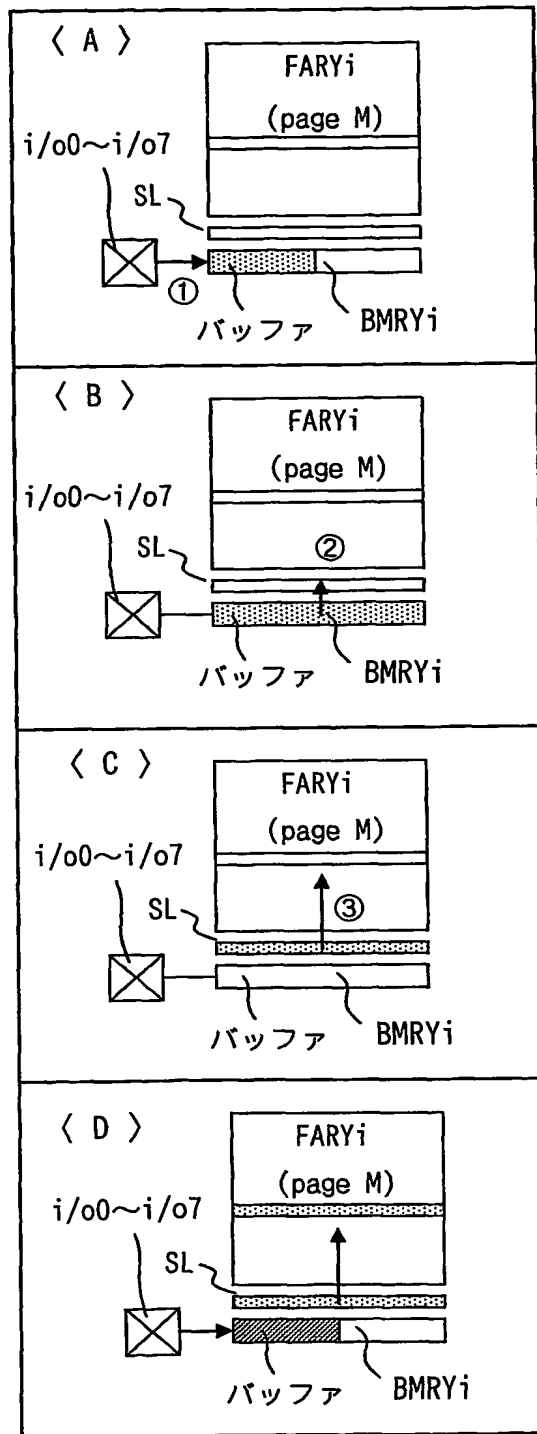
30/33

第38図

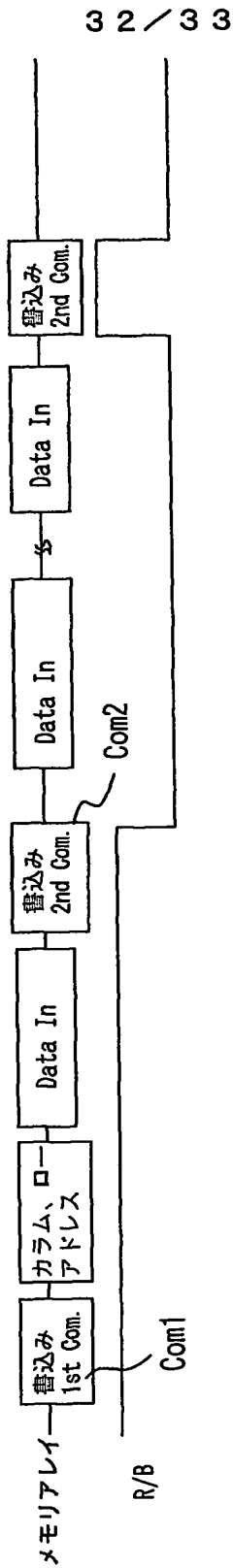


31 / 33

第39図

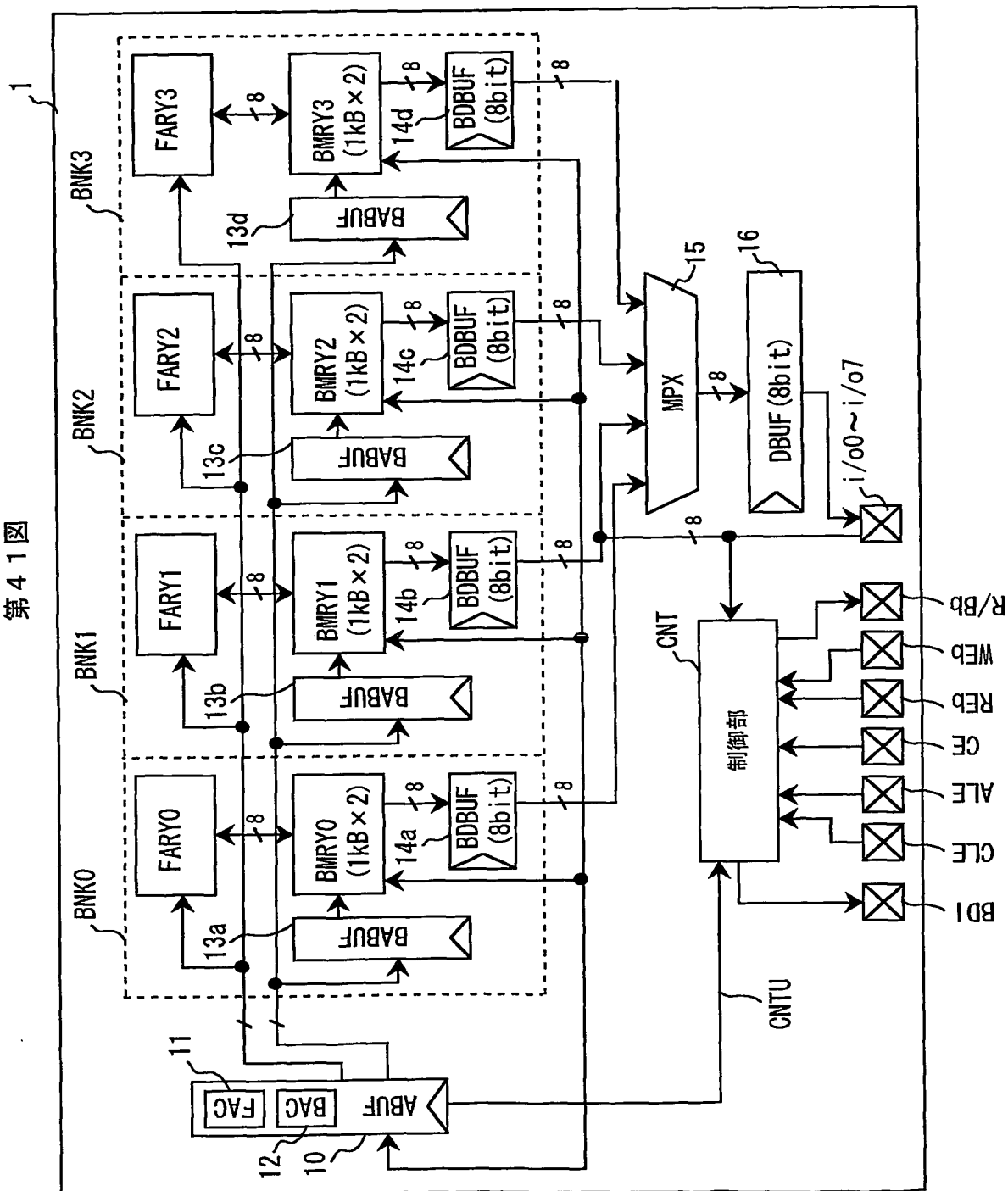


第40図



33 / 33

第 4 1 图



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/11953

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C16/06, G06F12/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C16/06, G06F12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 6-259320 A (Hitachi, Ltd.), 16 September, 1994 (16.09.94), Par. No. [0013]; Fig. 1 & US 5422856 A	1-5, 12-15, 22, 26-34, 52, 53 6-11, 16-21, 23-25, 35-51
Y A	JP 2001-325796 A (Toshiba Corp.), 22 November, 2001 (22.11.01), Full text; all drawings (Family: none)	1-5, 12-15, 22, 26-34, 52, 53 6-11, 16-21, 23-25, 35-51
Y A	JP 5-282882 A (Toshiba Corp.), 29 October, 1993 (29.10.93), Full text; all drawings & US 5297029 A & KR 9612359 B	1-5, 12-15, 22, 26-34, 52, 53 6-11, 16-21, 23-25, 35-51

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
18 February, 2003 (18.02.03)

Date of mailing of the international search report
11 March, 2003 (11.03.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11953

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-149788 A (Oki Electric Industry Co., Ltd.), 02 June, 1999 (02.06.99), Full text; all drawings & US 6104635 A	1-53

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C16/06
Int. Cl⁷ G06F12/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C16/06
Int. Cl⁷ G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 6-259320 A (株式会社日立製作所) 1994. 09. 16, 段落13, 第1図 & US 5422856 A	1-5, 12-15, 22, 26-34, 52, 53 6-11, 16-21, 23-25, 35-51
Y A	JP 2001-325796 A (株式会社東芝) 2001. 11. 22, 全文、全図 (ファミリーなし)	1-5, 12-15, 22, 26-34, 52, 53 6-11, 16-21,

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18. 02. 03

国際調査報告の発送日

11.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

8731

電話番号 03-3581-1101 内線 6842

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 5-282882 A (株式会社東芝) 1993. 10. 29, 全文、全図 & US 5297029 A & KR 9612359 B	23-25, 35-51 1-5, 12-15, 22, 26-34, 52, 53 6-11, 16-21, 23-25, 35-51
A	JP 11-149788 A (沖電気工業株式会社) 1999. 06. 02, 全文、全図 & US 6104635 A	1-53